

THÈSE

Pour obtenir le grade de

DOCTEUR DE LA COMMUNAUTE UNIVERSITE GRENOBLE ALPES

Spécialité : **Nano Electronique et Nano Technologie**

Arrêté ministériel : 7 août 2006

Présentée par

Romain Cipro

Thèse dirigée par **Thierry Baron** et
codirigée par **Yann Bogumilowicz**

préparée au sein du **Laboratoire des Technologies de la
Microélectronique (LTM-CNRS)**
dans l'**École Doctorale Electronique, Electrotechnique,
Automatique & Traitement du Signal (EEATS)**

Epitaxie en phase vapeur aux organométalliques et caractérisation de semi-conducteurs III-As sur substrat silicium dans une plateforme microélectronique

Thèse soutenue publiquement le **29 juin 2016**,
devant le jury composé de :

Mme Isabelle Sagnes

Directeur de recherche, LPN Marcoussis, Présidente

Mme Chantal Fontaine

Directeur de recherche, LAAS Toulouse, Rapporteur

M. Xavier Wallart

Directeur de recherche, IEMN Lille, Rapporteur

M. Jean-Baptiste Pin

Ingénieur procédés, Applied Materials Grenoble, Examineur

M. Thierry Baron

Directeur de recherche, LTM Grenoble, Directeur de thèse

M. Yann Bogumilowicz

Ingénieur recherche et développement, CEA-LETI Grenoble, Co-encadrant



Table des matières

Préface, introduction générale	8
--------------------------------------	---

Chapitre 1

Introduction, intégration d'(In)GaAs sur silicium	12
1.1 “More-than-Moore” et MOSFET III-V	12
1.1.1 Limitations de la miniaturisation des transistors silicium.....	12
1.1.2 Propriétés des matériaux III-V	14
1.1.3 Description des MOSFETs III-V	16
1.2 Problématiques de l'épitaxie d'(In)GaAs sur silicium	20
1.2.1 Différence de paramètre de maille	20
1.2.2 Ecart de coefficient de dilatation thermique	22
1.2.3 Parois d'antiphase	24
1.3 Stratégies de croissance de GaAs sur silicium	28
1.3.1 Couches bidimensionnelles de GaAs sur substrat silicium.....	29
1.3.2 Croissances localisées de GaAs sur silicium	35
1.4 Outil de croissance, bâti de MOCVD.....	38
1.5 Conclusion.....	39
Bibliographie.....	41

Chapitre 2

Epitaxie directe de GaAs sur substrat silicium (100).....	52
2.1 Croissance de GaAs en 2 étapes.....	52
2.1.1 Croissance par EPVOM.....	52
2.1.2 Préparation du substrat.....	54
2.1.3 Nucléation à basse température	54
2.1.4 Croissance à haute température	58
2.1.5 Traitements thermiques.....	62
2.2 Minimisation des parois d'antiphase.....	66
2.2.1 Croissances sur silicium (100) nominal	66

2.2.2 Croissance sans parois d'antiphase.....	74
2.3 Conclusion.....	80
Bibliographie.....	82

Chapitre 3

Structures à puits quantiques d' $\text{In}_x\text{Ga}_{1-x}\text{As}$	88
3.1 Croissance de couches d' $\text{In}_x\text{Ga}_{1-x}\text{As}$	88
3.2 Croissance de puits quantique d' $\text{In}_x\text{Ga}_{1-x}\text{As}$	95
3.2.1 Rappel sur les puits quantiques.....	95
3.2.2 Croissance et caractérisation de puits quantiques d' $\text{In}_x\text{Ga}_{1-x}\text{As}$	98
3.3 Propriétés optiques de puits quantiques d' $\text{In}_x\text{Ga}_{1-x}\text{As}$	101
3.3.1 Photoluminescence à température ambiante	102
3.3.2 Cathodoluminescence à basse température.....	107
3.4 Conclusion.....	109

Chapitre 4

Epitaxie localisée de GaAs et d' InGaAs	114
4.1 Présentation des substrats masqués SiO_2/Si	114
4.1.1 Fabrication des substrats	114
4.1.2 Caractéristiques des substrats	115
4.2 Epitaxie sélective de GaAs.....	116
4.2.1 Optimisation des paramètres de croissance	116
4.2.2 Elimination des parois d'antiphase	117
4.3 Epitaxie sélective de puits quantiques d' $\text{In}_x\text{Ga}_{1-x}\text{As}$	121
4.3.1 Croissances des hétérostructures.....	121
4.3.2 Profils de composition chimique	123
4.3.3 Micro-photoluminescence à température ambiante	124
4.3.4 Cathodoluminescence à basse température.....	128
4.4 Epitaxie sélective d' $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$	131
4.5 Conclusion.....	134
Bibliographie.....	136

Conclusions et perspectives	140
-----------------------------------	-----

Liste des acronymes utilisés :

APB :	AntiPhase Boundaries
ART :	Aspect Ratio Trapping
BC :	Bande de Conduction
BT :	Basse Température
BV :	Bande de Valence
CCD :	Charge-Coupled Device
CL :	CathodoLuminescence
D :	Dislocation
DFL :	Defect Filter Layer
DRX :	Diffractométrie de Rayons X
EJM :	Epitaxie par Jets Moléculaires
ELOG :	Epitaxial Lateral OverGrowth
EVPOOM :	Epitaxie en Phase Vapeur aux OrganoMétalliques
FWHM :	Full Width at Half Maximum
FD-SOI :	Fully Depleted Silicon-On-Insulator
FE :	Faute d'Empilement
HT :	Haute Température
MBE :	Molecular Beam Epitaxy
MEB :	Microscopie Electronique à Balayage
MOCVD :	MetalOrganic Chemical Vapour Deposition
MOSFET :	Metal Oxyde Semiconductor Field Effet Transistor
MOVPE :	MetalOrganic Vapour Phase Epitaxy
PL :	PhotoLuminescence
QW :	Quantum Well
RA :	Rapport d'Aspect

RMS :	Roughness Mean Square
SIMS :	Secondary Ions Mass Spectrometry
SOI :	Silicon-On-Insulator
STEM :	Scanning Transmission Electron Microscopy
STO :	SrTiO ₃
TEM :	Transmission Electron Microscopy

Préface, introduction générale

De nos jours, les technologies issues de l'industrie de la microélectronique font partie intégrante de la vie quotidienne. Des ordinateurs personnels et internet, à la géolocalisation par satellite en passant par les téléphones portables, elles se sont rendues presque indispensables. D'un point de vue plus global, le monde de la recherche bénéficie également de ces avancées qui produisent des outils plus puissants, mobiles et moins onéreux. L'astrophysique, l'aérospatial, la météorologie, la médecine et bien d'autres domaines encore, profitent des progrès de la microélectronique depuis plus de 50 ans.

C'est en 1947 que naît le premier transistor des mains de J. Bardeen, W.H. Brattain et W. Shockley. S'en suit la fabrication du premier circuit intégré par J. Kilby de la société *Texas Instrument* à la fin des années 1950. L'industrie de la microélectronique s'est depuis efforcée d'augmenter le nombre de transistors par puce en réduisant leur taille, afin d'augmenter la puissance de calcul du système et de diminuer le coût unitaire du composant. En 1965, G. Moore, un des fondateurs de la société *Intel* et alors ingénieur chez *Fairchild Semiconductor*, énonce sa célèbre loi empirique et spéculative, qu'il rectifiera en 1975, prévoyant un nombre de transistors par puce multiplié par deux tous les deux ans [1]. Cette tendance sert encore aujourd'hui de guide pour le développement des circuits intégrés modernes.

La miniaturisation au cours des années des transistors MOS (*Metal Oxide Semiconductor*), réalisés en silicium, a été rendue possible grâce au développement des procédés de fabrication tels que la lithographie et la gravure. Mais ces dernières années, la taille nanométrique des composants (nœud technologique 14 nm en production en 2016) ainsi que leur très forte densité d'intégration (plusieurs milliards de transistors par puce en 2016) génèrent des phénomènes parasites qui dégradent leurs performances. La puissance dissipée par les circuits devient problématique puisque la chaleur ainsi générée par les microprocesseurs haute performance ne peut plus être évacuée par les systèmes de refroidissement à air classique. La baisse de la tension d'alimentation nécessaire au maintien d'un niveau de puissance dissipée acceptable est limitée par les propriétés semi-conductrices du matériau silicium, qu'il convient donc de remplacer [2].

Les matériaux III-V sont largement utilisés dans les domaines de l'optronique grâce à leur bande interdite directe qui en fait de bons émetteurs de lumière. Ils possèdent également des mobilités de porteurs de charges bien supérieures à celle du silicium, ce

[1] G. E. Moore, "Cramming more components onto integrated circuits, Reprinted from *Electronics*, volume 38, number 8, April 19, 1965, pp.114 ff.," *IEEE Solid-State Circuits Newsl.*, vol. 20, no. 3, pp. 33–35, Sep. 2006.

[2] J. A. del Alamo, "Nanometre-scale electronics with III-V compound semiconductors," *Nature*, vol. 479, no. 7373, pp. 317–323, Nov. 2011.

qui en fait de sérieux candidats au remplacement du silicium au cœur de transistor MOS fonctionnant à basse tension d'alimentation. Cependant, leur grande fragilité et leur coût élevé ne permettent pas leur disponibilité ni en grand volume ni en grande taille de substrat en tant que matériau massif pour la fabrication des circuits intégrés actuels. Le silicium, robuste, peu cher et bénéficiant d'un savoir-faire industriel de fabrication développé sur plusieurs décennies, doit rester le support de la fabrication des composants microélectroniques. De plus, les investissements consentis par les industriels pour la mise en service des dernières générations d'usines pour les nœuds 14 nm (2014), 10 nm (2017) et 7 nm (2019) coutent plusieurs milliards d'euros l'unité. Les futures ruptures technologiques devront forcément, à la vue des sommes engagées dans ces usines, utiliser l'infrastructure existante. La solution réside donc dans la cohabitation de ces deux types de matériaux au sein d'un même dispositif. La fabrication de substrats hybrides –ou pseudo-substrats– qui peuvent être réalisés par épitaxie ou par collage de couches fines de semi-conducteurs III-V sur un substrat de silicium, constitue donc un défi technologique majeur pour l'avenir de l'industrie de la microélectronique.

En effet, les matériaux III-V et le silicium présentent des incompatibilités qui complexifient la croissance cristalline des premiers sur le second. En premier lieu, la différence de paramètre de maille est la source de l'apparition de dislocations qui dégradent les propriétés de transport électronique et d'émission de photons du semi-conducteur III-V. Ensuite, l'écart de coefficient de dilatation thermique limite l'épaisseur total qu'il est possible de déposer sur le silicium, sous peine de courbure du substrat, voire de rupture de la couche. Enfin, les matériaux III-V sont des composés polaires, à l'inverse du silicium qui lui est apolaire. Cette différence est la cause de la création de défauts cristallins particuliers, les parois d'antiphase.

Les travaux de thèses présentés dans ce manuscrit portent sur l'étude de la croissance par MOCVD (*MetalOrganic Chemical Vapour Deposition*) de GaAs et d'InGaAs sur des substrats de silicium de 300 mm de diamètre. Ce document se divise en quatre chapitres distincts.

Le premier chapitre traite en détail de l'intérêt que constitue l'intégration de GaAs sur silicium au sein des transistors MOS. Plusieurs exemples d'architectures de MOS III-V seront présentés. Nous ferons état des difficultés de ce type d'hétéroépitaxie, à savoir les différences de paramètre de maille, de coefficient de dilatation thermique et de polarité séparant le silicium et les matériaux III-V. Afin de surmonter ces difficultés, des groupes de recherche à travers le monde ont développé plusieurs stratégies de croissances ces dernières années. Parmi elles on retrouve, la croissance sur des couches tampons (Ge, SiGe, STO), des croissances en deux étapes, l'utilisation de traitements thermiques et de couches de filtration de défauts et enfin la croissance sélective localisée. Un bref aperçu de l'outil de croissance MOCVD figure en fin de chapitre.

Les résultats de croissances de GaAs sur silicium seront présentés dans le deuxième chapitre. En particulier, nos efforts se sont concentrés sur la réduction de la densité de parois d'antiphase sans utilisation de substrats de silicium désorientés. Tout

d'abord nous étudierons les propriétés de couches de GaAs épitaxiées sur silicium par la méthode conventionnelles en deux étapes, nucléation à basse température et croissance à haute température. L'épitaxie sur substrat de silicium désorienté sera brièvement traitée. Ensuite, des modifications de ce procédé conventionnel seront implémentées afin de réduire la densité de parois d'antiphase. Nous étudierons les effets de l'ajout d'un recuit du substrat de silicium, de croissances à haute température scindées en deux étapes et de la désorientation résiduelle des substrats de silicium nominaux.

Afin de caractériser nos couches de GaAs/Si, nous avons opté pour des méthodes d'émissions optiques passant par la réalisation d'hétérostructures à puits quantiques d'InGaAs qui font l'objet du troisième chapitre. En effet, le positionnement du puits quantique aux abords de la surface de GaAs permet, via l'analyse de ces propriétés optiques, de rendre compte de la qualité du matériau dans cette zone précisément. La surface étant une région critique que ce soit pour la réalisation de dispositifs ou la reprise d'épitaxie sur GaAs. Des mesures de photoluminescence à température ambiante et des cartographies de cathodoluminescence à basse température seront réalisées dans ce but. L'étude de la croissance du matériau InGaAs sera également effectuée en amont de la réalisation des hétérostructures.

Enfin, le quatrième et dernier chapitre s'intéresse à l'épitaxie localisée de GaAs et d'InGaAs dans des motifs de SiO₂ réalisés à la surface du substrat de silicium. Ils permettent une réduction des défauts à la surface du GaAs qui repose sur le principe de l'ART (*Aspect Ratio Trapping*). Nous améliorerons tout d'abord la sélectivité de l'épitaxie de GaAs tout en diminuant le facettage de la surface des motifs en optimisant les paramètres de croissance. L'impact du rapport d'aspect hauteur/largeur des motifs de SiO₂ sur la densité de parois d'antiphase en surface de GaAs sera étudié. Puis, à l'instar des croissances bidimensionnelles (chapitre 3) nous réaliserons des hétérostructures à puits quantiques d'InGaAs, dans une matrice de GaAs sélectivement épitaxiées dans les motifs de SiO₂. Des mesures de photoluminescence et de cathodoluminescence seront à nouveau utilisées pour caractériser la qualité de ces matériaux.

Chapitre 1

Introduction, intégration d'(In)GaAs sur silicium

L'intégration de matériaux III-V à base d'arsenic (ou III-As) sur silicium intéresse l'industrie de la microélectronique. Elle combine les propriétés de transport électroniques remarquables de ces matériaux avec la grande maîtrise et l'important savoir-faire acquis ces 50 dernières années autour du silicium, tout cela en maintenant un coût raisonnable. Au cours de ce chapitre, nous détaillerons cet intérêt que représentent les matériaux III-V dans le cadre de la microélectronique tout en établissant clairement les problématiques liées à leur intégration sur silicium. Nous passerons en revue les différentes stratégies développées ainsi que leur état d'avancement. Nous finirons ce chapitre par une présentation de la technique et de l'équipement utilisés pour les croissances de matériaux réalisées dans l'ensemble de ces travaux de thèse.

1.1 “More-than-Moore” et MOSFET III-V

Nous exposerons ici les raisons qui poussent l'industrie et les équipes de recherches à introduire les matériaux III-V dans les futurs composants microélectroniques, à savoir les limitations du matériau silicium et les avantages des semi-conducteurs III-V. Quelques exemples d'architecture de dispositifs seront également décrits.

1.1.1 Limitations de la miniaturisation des transistors silicium

En 1965, Gordon E. Moore formule sa célèbre loi qui prévoit une augmentation exponentielle du nombre de transistors (le dispositif logique de base, représenté en figure 1.1) par puce électronique. Depuis, elle a été le moteur de la recherche de l'innovation dans le domaine de la microélectronique. La miniaturisation des composants qui s'en est suivie rencontre cependant depuis quelques années des difficultés technologiques liées aux propriétés physiques du matériau dont ils sont composés, le silicium.

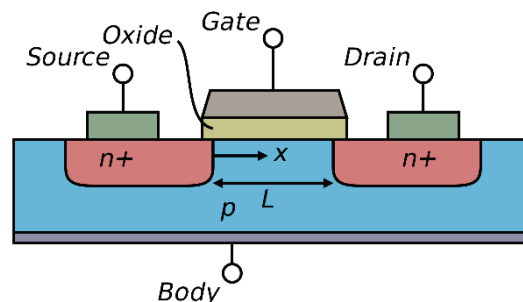


Figure 1.1 : Schéma d'un transistor MOSFET (Metal Oxide Semiconductor Field Effect Transistor)

Les pertes de performances ont pu être surmontées par l’émergence de nouvelles technologies et des architectures innovantes comme le FD-SOI [1] ou le FINFET [2], toujours en silicium. Néanmoins, l’augmentation des courants de fuites liée à la réduction de l’épaisseur de l’oxyde de grille, SiO_2 , a conduit au remplacement de ce dernier au profit de diélectriques à forte constante diélectrique, dits *high-K*, tels que le HfO_2 [3]. C’est ainsi que des nouveaux matériaux ont commencé à faire leur entrée dans les transistors MOSFET.

Cependant, une des conséquences les plus néfastes de l’augmentation de la densité de transistors est l’augmentation de la puissance dissipée par le circuit [4]. En effet, dans les années 2000 a été atteint un plafond proche de 100 W.cm^{-2} [5], [6], qu’il a été possible de maintenir par l’introduction de processeurs multi-cœurs (figure 1.2). Cette valeur constitue une limite haute à ne pas dépasser puisqu’elle correspond à la puissance au-delà de laquelle les systèmes de refroidissement à air classiques ne sont plus capables de maintenir une température de fonctionnement adéquate dans le circuit. Cela provoquerait une dégradation des performances et un vieillissement prématuré des dispositifs. L’introduction de systèmes de refroidissement plus avancés n’est pas envisagée car l’augmentation des coûts de fabrications entrainerait la perte de la viabilité de ces produits de grande consommation.

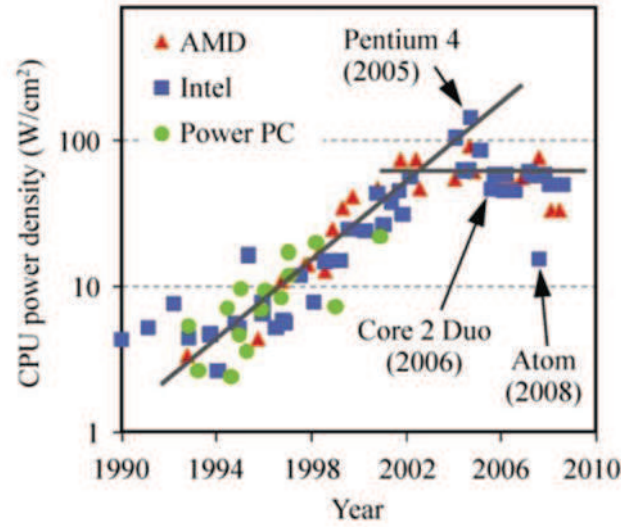


Figure 1.2 : Evolution de la puissance dissipée par les processeurs au cours des années [5].

Cette puissance (P) est fortement dépendante de la tension d’opération fournie au système, V_{DD} , comme l’illustre la relation (1.1) :

$$P \sim f C V_{DD}^2 N + I_{fuite} V_{DD} \quad (1.1)$$

où f est la fréquence de fonctionnement du circuit intégré

C est la capacité d’un transistor

V_{DD} est la tension d’alimentation

N est le nombre de transistors du circuit intégré

I_{fuite} est le courant de fuite circulant entre source et drain d'un transistor lorsque ce dernier est à l'état off.

Il convient donc, afin de poursuivre l'augmentation de la densité de transistors, de pouvoir opérer à des tensions plus faibles. Or, les MOSFET silicium sont cantonnés à des valeurs minimales de V_{DD} autour de 0,8V, sans quoi apparaissent des dégradations de performances, dont celle de la vitesse de commutation [6]–[8]. Une solution possible consiste à remplacer le silicium au sein du canal de conduction par d'autres matériaux dont les mobilités de porteurs de charge sont plus élevées. Les candidats envisagés sont le silicium contraint, le germanium pour le transport de trous dans les p-MOSFET [9] et, ceux auquel ces travaux s'intéressent, les matériaux III-V pour le transport d'électrons dans les n-MOSFET [10].

1.1.2 Propriétés des matériaux III-V

Comme leur nom l'indique, les matériaux III-V sont des composés associant un ou plusieurs éléments du groupe III du tableau périodique avec un ou plusieurs éléments du groupe V de ce même tableau (figure 1.3). Sous leur forme monocristalline, ces matériaux sont semi-conducteurs.

III	IV	V
5 B 10,81	6 C 12,01	7 N 14,01
13 Al 26,98	14 Si 28,09	15 P 30,97
31 Ga 69,74	32 Ge 72,59	33 As 74,92
49 In 114,82	50 Sn 118,69	51 Sb 121,75

Figure 1.3 : Intersection des colonnes III, IV et V avec les périodes 2, 3, 4 et 5 du tableau périodiques des éléments.

On peut les retrouver sous forme d'alliages binaires comme le GaSb, ternaires comme l' $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ou l' $\text{InAs}_x\text{P}_{1-x}$ et enfin quaternaire comme le $\text{Ga}_x\text{In}_{1-x}\text{As}_y\text{P}_{1-y}$. Les matériaux binaires GaN, GaAs et InP sont couramment utilisés et existent sous forme de substrats, proposant ainsi trois valeurs de paramètres de maille pour les épitaxies de III-V sur III-V. Ces matériaux couvrent une large gamme de paramètres de maille comme l'indique la figure 1.4, allant de 5,451 Å pour le GaP, à 6,479 Å pour l'InSb. Ils présentent des énergies de bande interdite toutes aussi diverses, de 0,17 eV pour l'InSb à 2,45 eV pour l'AlP. La plupart de ces composés présente une structure de bande interdite directe, ce qui leur confère des propriétés d'émissions de photons intéressantes, plus difficiles à retrouver dans le silicium ou le germanium. Il est intéressant de noter que le paramètre de

maille du GaP est très proche de celui du silicium, ce qui est également vrai pour le GaAs vis-à-vis du germanium. Cela est régulièrement exploité lors des épitaxies de GaP et de GaAs.

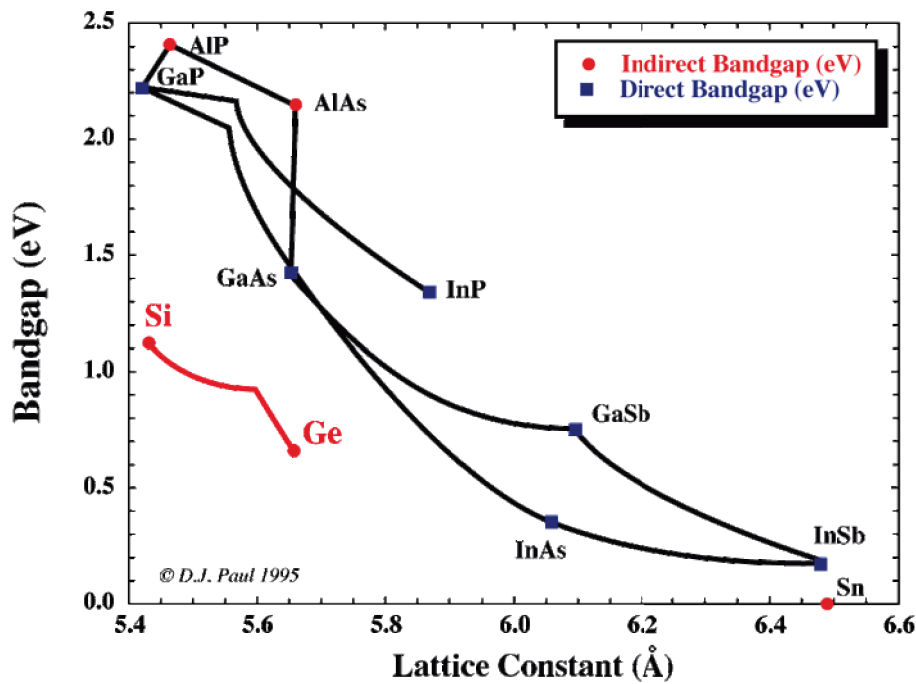


Figure 1.4 : Energies de bande interdite des semi-conducteurs III-V en fonction de leur paramètre de maille à 300K. Sont également indiqués à titre de comparaison le silicium, le germanium et l'étain.

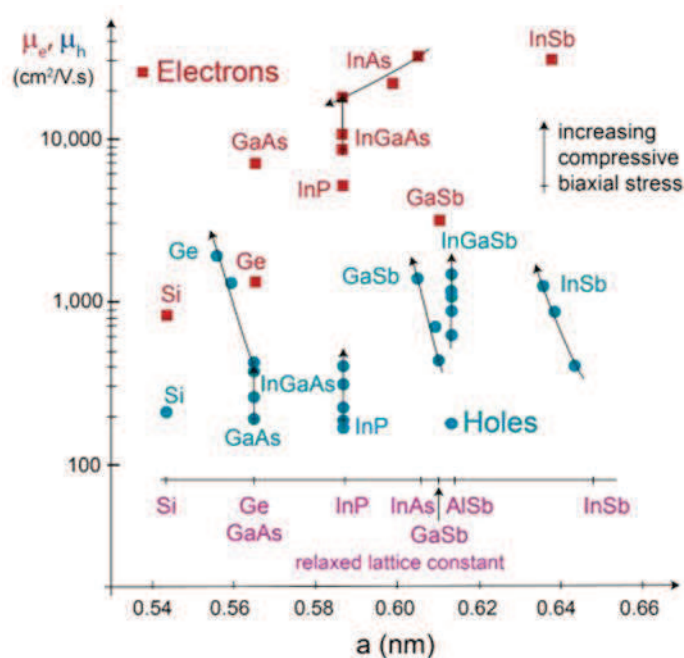


Figure 1.5 : Paramètres de maille et mobilités des porteurs de charges de quelques semi-conducteurs III-V. Sont également indiqués le silicium et le germanium. [4]

Intéressons-nous maintenant à la mobilité des porteurs de charges des matériaux III-V, dont certaines sont données en figure 1.5 [4]. On remarque que les meilleures

mobilités électroniques dépassent la dizaine de milliers de $\text{cm}^2.\text{V}^{-1}.\text{s}^{-1}$ (InSb, InAs et InGaAs), soit deux ordres de grandeur de plus que pour le silicium. Ces mobilités électroniques exceptionnelles sont à ce jour les plus élevées de tous les semi-conducteurs. Voilà pourquoi ces matériaux constituent de très bons candidats pour intégrer le canal de conduction des futurs transistors fonctionnant à faible tension d'alimentation. En ce qui concerne la mobilité des trous, elle n'est pas aussi élevée que celle des électrons mais peut être augmentée par l'ajout d'une contrainte en compression biaxiale. La valeur record est détenue par le germanium avec $1900 \text{ cm}^2.\text{V}^{-1}.\text{s}^{-1}$.

Les composés III-V sont généralement divisés en différentes familles qui se distinguent par la nature de l'élément V qui les compose. On retrouve donc les nitrures, les arséniures, les phosphures et les antimoniures. Chacun de ces groupes possède, de façon générale, des procédés de croissance distincts. Ces travaux de thèse se sont intéressés en très grande majorité à l'étude de matériaux de type arséniures, ou III-As, qui sont pressentis pour prochainement intégrer les technologies MOSFET [10], ou les composants photoniques sur silicium.

1.1.3 Description des MOSFETs III-V

Le développement des MOSFETs incluant des matériaux alternatifs comme les semi-conducteurs III-V ou le germanium a fait des progrès ces dernières années [11], [12]. Plusieurs architectures sont envisagées parmi lesquels on retrouve le MOSFET planaire, multi-grille ou encore à base de nanofils.

- MOSFETs planaires :

Le MOSFET planaire est l'architecture historique de base du MOSFET (figure 1.1). Un exemple de MOSFET III-V planaires réalisé sur un substrat d'InP au *Massachusetts Institute of Technology* (MIT) est présenté en figure 1.6 [13]. Le canal est en InGaAs, la grille en molybdène et l'oxyde de grille utilisé est le HfO_2 .

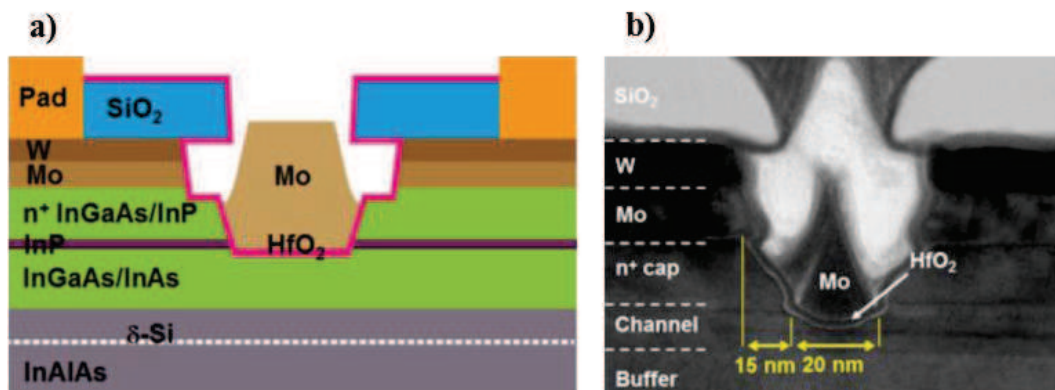


Figure 1.6 : Représentation schématique (a) et vue en coupe TEM (b) d'un transistor MOSFET InGaAs planaire réalisé sur substrat InP. [13]

Cette architecture planaire peut également être réalisée sur des substrats de silicium dont la surface est couverte d'une fine couche d'oxyde. Le but étant d'imiter la structure des

transistors FD-SOI (*Fully Depleted Silicon-On-Insulator*) dont les performances sont meilleures que sur substrat de silicium massif. On surnomme cette approche « III-V-OI ». Un exemple est présenté en figure 1.7, il est réalisé par l'équipe de S. Takagi et M. Takenaka de l'université de Tokyo. Ici, La grille est faite de tantale et l'oxyde de grille est en alumine, Al_2O_3 . Le canal est composé d'InGaAs et d'InAs reportée sur SiO_2 [14].

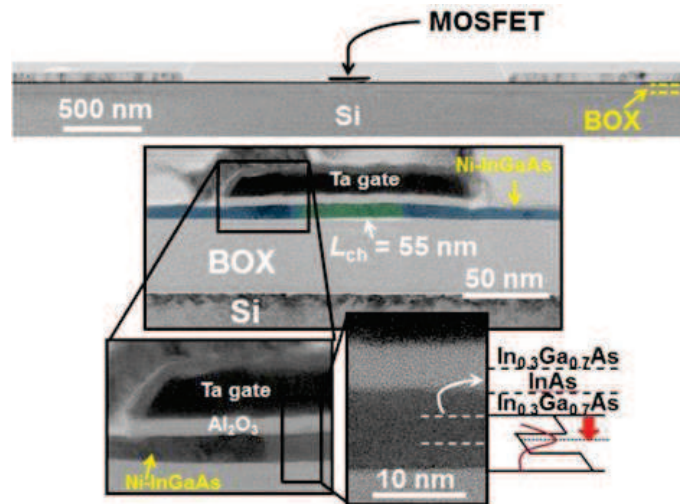


Figure 1.7 : Vues en coupe TEM d'un MOSFET reporté sur isolant, « InGaAs-OI ». [14]

- MOSFETs multi-grille :

Afin d'améliorer le contrôle électrostatique exercé par la grille sur les canaux de petite dimension, une architecture tridimensionnelle, dite multi-grille, est également utilisée [15]. Il est donc naturel de voir apparaître des MOSFETs III-V multi-grille. Le canal n'a cette fois plus la forme d'une couche bidimensionnelle mais bien d'un objet 3D (*Fin*, anglais pour aileron) dont les flancs sont couverts par l'empilement de grille. Ce design est nommé FINFET. Deux écoles s'affrontent pour la fabrication du canal tridimensionnel, une approche descendante où l'on grave le motif tridimensionnel désiré dans une couche bidimensionnelle ou une approche ascendante où l'on fait croître le matériau d'intérêt à la forme voulue. On peut voir un exemple de l'approche descendante en figure 1.8, montrant un FINFET InGaAs réalisé au MIT, la grille est en molybdène et l'oxyde de grille en alumine ou en HfO_2 [16].

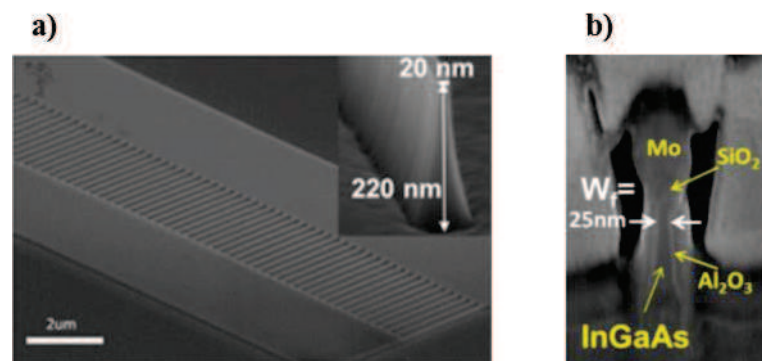


Figure 1.8 : Images MEB de la gravure des canaux InGaAs tridimensionnels (a) et du FINFET InGaAs complet (b). [16]

Un FINFET InGaAs issu, quant à lui, de l'approche ascendante est montré en figure 1.9. Il provient de l'institut de microélectronique et composants (IMEC), la grille est faite de tungstène et l'oxyde de grille est composé d'un empilement $\text{Al}_2\text{O}_3/\text{HfO}_2/\text{TiN}$ [17].

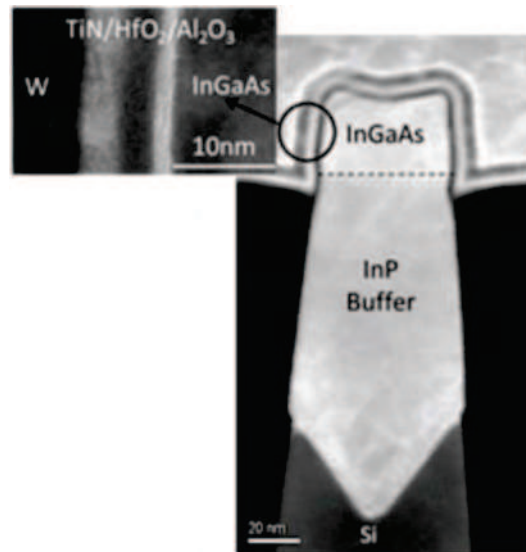


Figure 1.9 : Vues en coupe TEM d'un FINFET InGaAs réalisé par épitaxie sur un substrat de silicium 300 mm. [17]

- MOSFETs à nanofils :

Un contrôle électrostatique encore plus poussé peut-être obtenu lorsque le canal de conduction est un nanofil complètement entouré par l'empilement de grille. Ces dispositifs sont développés en silicium [18], [19] mais également en matériau III-V. Les nanofils peuvent être positionnés horizontalement, comme dans le cas exposé en figure 1.10. Il s'agit là d'un dispositif à nanofil d'InGaAs avec une grille en tungstène et un oxyde de grille $\text{Al}_2\text{O}_3/\text{HfO}_2/\text{TiN}$ élaboré à l'IMEC sur un substrat de silicium 300 mm [20]. Il est également possible d'intégrer ces nanofils verticalement. C'est le cas, par exemple, présenté en figure 1.11. Ici, une dizaine de fils d'InGaAs, d'un diamètre de 60 nm et haut de 180 nm, sont montés en parallèle entre la source et le drain. Ils sont chacun enrobés d' $\text{Hf}_{0,8}\text{Al}_{0,2}\text{O}$ qui sert d'oxyde de grille, grille qui est, elle, faite de tungstène.

Tous ces exemples d'architectures montrent le riche développement en matière de MOSFET III-V. Cependant, des difficultés sont encore à surmonter afin de pouvoir intégrer ces dispositifs sur plateforme silicium, condition indispensable à leur viabilité et ce pour des raisons de coûts et de taille de substrat.

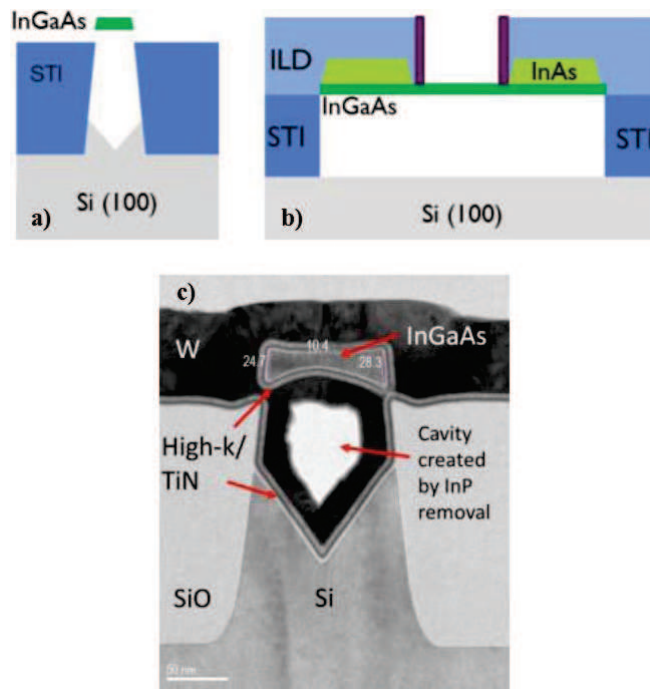


Figure 1.10 : Représentations schématiques en coupe transversale a) et longitudinale b), et vue en coupe transversale TEM d'un MOSFET à nanofil horizontal d'InGaAs. [20]

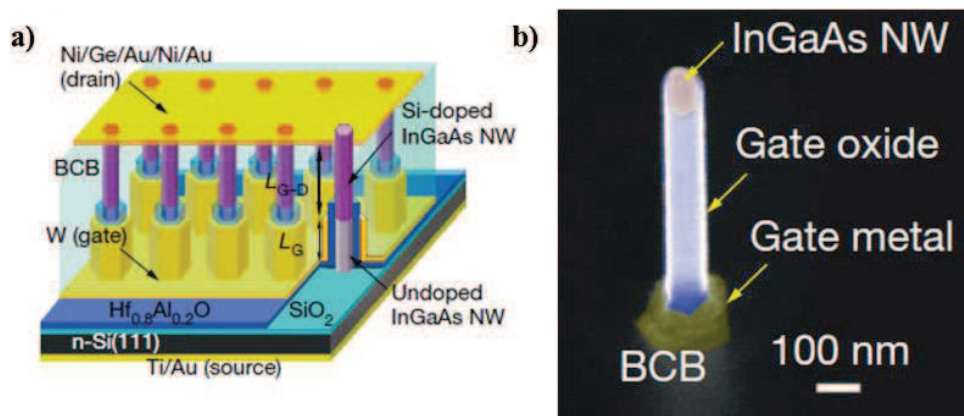


Figure 1.11 : a) Représentation schématique d'un MOSFET composé d'une dizaine de nanofils d'InGaAs montés en parallèle. b) Image MEB d'un nanofil unique où sont visibles l'oxyde de grille ainsi que la grille elle-même. [21]

Dans cette partie, nous avons fait état des limitations rencontrées actuellement par la miniaturisation, des transistors silicium, dont la plus critique semble être la puissance dissipée par les processeurs. En effet, si elle s'avérait trop importante, la chaleur ainsi générée ne pourrait plus être évacuée et entraînerait la baisse des performances de calcul ainsi que l'endommagement des puces électroniques. La solution la plus efficace serait de diminuer la tension d'alimentation des transistors mais sans en altérer les performances, ce qui est maintenant difficile pour les transistors silicium. Une voie de développement

possible est le remplacement du silicium dans les transistors MOSFET par des semi-conducteurs III-V, et en particulier les arséniures. Puisque leurs propriétés de transport électroniques sont bien supérieures à celles du Si, ces matériaux offrent des performances équivalentes sous des tensions plus faibles. Des architectures très variées sont disponibles pour l'introduction de composés III-As dans les MOSFETs mais elles possèdent toutes un impératif commun, leur intégration sur des substrats de silicium. Les substrats III-V sont très onéreux et ne sont pas disponibles en grande taille. Cette co-intégration III-As/Si passe nécessairement par des étapes d'épitaxie de matériaux III-V sur substrat de silicium. Ce sont des étapes critiques puisqu'elles façonnent l'interface entre ces deux familles de matériaux aux propriétés différentes. Cette interface est le siège de l'apparition de nombreux défauts.

1.2 Problématiques de l'épitaxie d'(In)GaAs sur silicium

L'intégration de matériaux III-V sur substrats de silicium pourrait donc être un moyen de lever certains verrous liés aux matériaux actuellement utilisés. Cependant, leur croissance sur silicium présente des difficultés causées par les différences de propriétés intrinsèques de ces deux types de matériaux. Dans cette partie nous présenterons ces différences et leurs conséquences sur ce type d'hétéroépitaxie, en suivant l'exemple de la croissance du GaAs sur silicium. Elles se divisent typiquement en trois catégories : la différence de paramètre de maille, l'écart de coefficient de dilatation thermique et le caractère polaire du GaAs (et non-polaire du silicium).

1.2.1 Différence de paramètre de maille

Lors de la croissance de GaAs sur silicium, ou plus généralement d'un cristal A sur un substrat B de paramètres de maille différents (figure 1.12.a), la couche épitaxiée va, dans les premiers temps, adopter le paramètre de maille du substrat dans le plan de croissance. Dans la direction normale à ce plan de croissance, en revanche, son paramètre de maille va augmenter ou diminuer. C'est une croissance dite pseudomorphique (figure 1.12.b). Dans notre cas, le GaAs est contraint et est en compression (car $a_{GaAs} > a_{Si}$). L'énergie élastique emmagasinée dans la couche contrainte de GaAs augmente avec l'épaisseur déposée jusqu'à atteindre un seuil où la création de dislocation devient favorable. L'épaisseur correspondant à cette transition est appelée épaisseur critique de relaxation plastique (notée h_c) et elle dépend fortement de la différence de paramètre de maille entre la couche épitaxiée et le substrat [22] (4,1% pour le couple GaAs/Si). Au-delà de cette épaisseur, la génération de dislocations à l'interface GaAs/Si permet à la couche en croissance de tendre vers son paramètre de maille naturel (figure 1.12.c). Il est possible d'estimer la valeur de l'épaisseur critique d'un système via la relation (1.2) [22] :

$$h_c = \frac{b}{8\pi f(1+\nu)} \left(\ln \frac{h_c}{b} + 1 \right) \quad (1.2)$$

où b est la norme du vecteur de Burgers de la dislocation

ν est le coefficient de Poisson du matériau épitaxié

$f = \frac{a_{GaAs} - a_{Si}}{a_{Si}}$, est le désaccord de paramètre de maille.

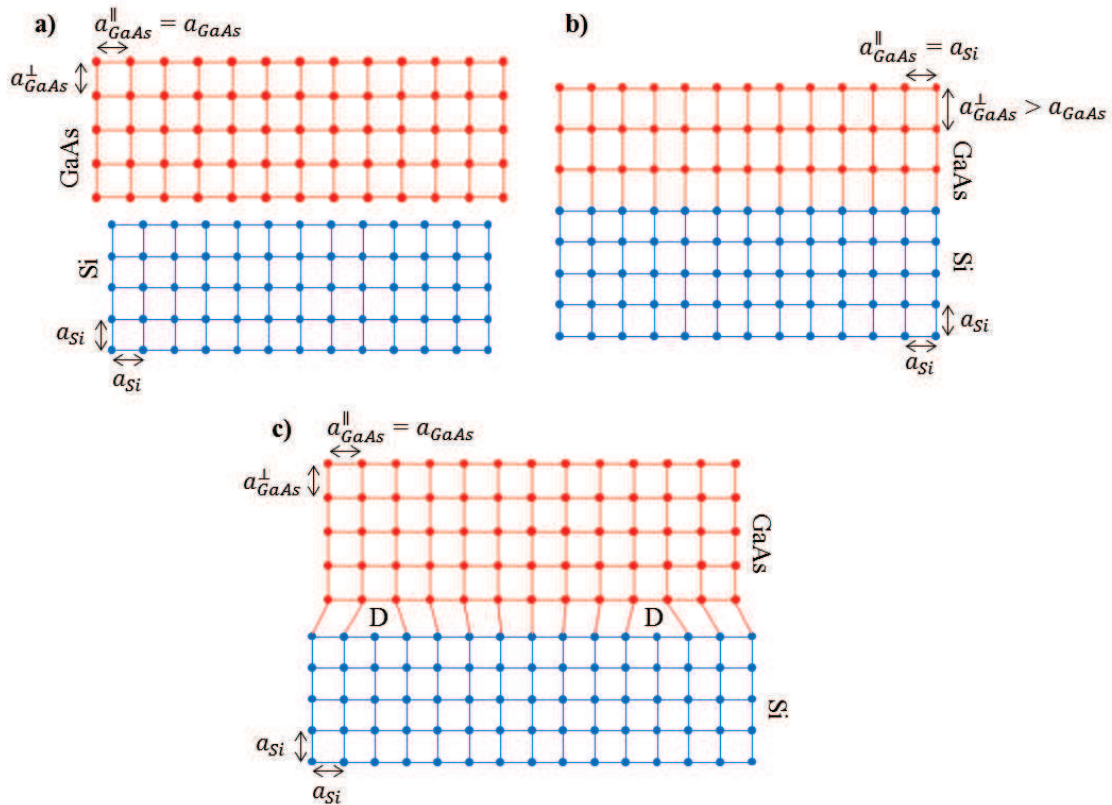


Figure 1.12 : Représentation schématique de l'épitaxie de GaAs sur silicium. a) Matériaux massifs pris individuellement, b) couche de GaAs/Si pseudomorphique ($h < h_c$) et c) couche de GaAs/Si relaxée ($h > h_c$).

Dans le cas du système GaAs sur silicium ($f = 4,1\%$), la relation (1.2) donne une épaisseur critique inférieure au nanomètre. Les dislocations ainsi formées peuvent se propager à travers la couche de GaAs pour en atteindre la surface. Ces dislocations émergentes se comportent comme des centres de recombinaison non radiatifs, contribuent à la diffusion des porteurs de charges et créent des inhomogénéités locales de composition ou de dopage qui conduisent à des défaillances prématurées des dispositifs. On cherche donc à réduire au maximum leur présence à la surface des pseudo-substrats de GaAs/Si.

La figure 1.13 présente un modèle reliant la densité de dislocations émergentes minimales à l'épaisseur de la couche déposée de plusieurs matériaux sur substrat de silicium. D'après ces travaux [23], la densité à l'équilibre varie avec l'inverse du carré de l'épaisseur. Dans le cas d'une couche de GaAs sur silicium, ce modèle donne une densité de dislocations émergentes minimale atteignable de 10^8 cm^{-2} pour une épaisseur de $1 \mu\text{m}$. A titre de comparaison, un substrat commercial de GaAs possède généralement une densité inférieure à $6 \cdot 10^4 \text{ cm}^{-2}$ soit quatre ordres de grandeur de différence. Toujours d'après ce modèle, il faudrait multiplier l'épaisseur de GaAs par dix afin de diminuer la densité de dislocation de deux ordres de grandeur. Or, l'épitaxie d'une couche épaisse de plusieurs micromètres de GaAs sur silicium comporte également des limitations physiques fortes.

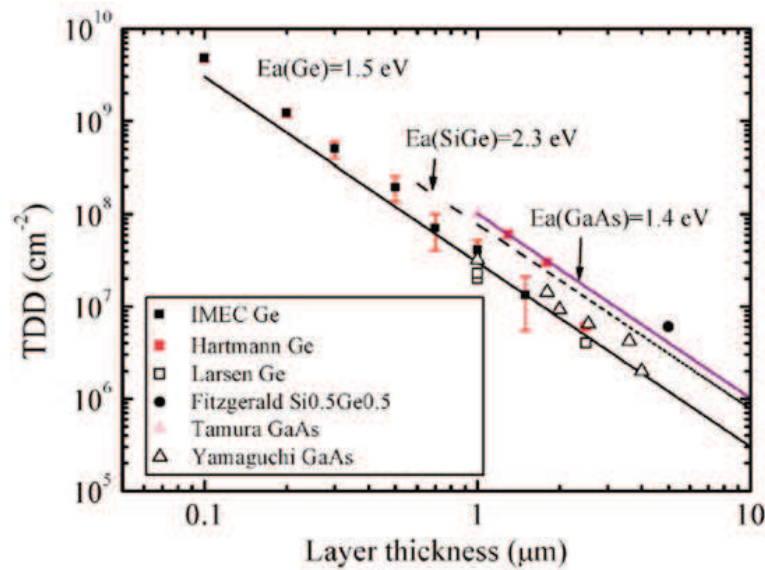


Figure 1.13 : Représentation du modèle par Wang et al. [23] de l'évolution de la densité de dislocations émergentes avec l'épaisseur de matériau déposé sur silicium. Références : Hartman Ge [24], Larsen Ge [25], Fitzgerald Si_{0.5}Ge_{0.5} [26], Tamura GaAs [27], Yamaguchi GaAs [28].

1.2.2 Ecart de coefficient de dilatation thermique

Une autre différence majeure séparant le GaAs du silicium est leur important écart de coefficient de dilatation thermique. Comme on peut le voir sur le graphique en figure 1.14, le coefficient de dilatation thermique du GaAs, α_{GaAs} , est bien supérieur à celui du silicium, α_{Si} , sur une large gamme de température. Cela se traduit par une plus grande déformabilité lors du chauffage ou du refroidissement du matériau. Dans les faits, l'épitaxie de GaAs étant réalisée à haute température, lors du refroidissement de l'empilement, le GaAs se contracte plus que le substrat de silicium. Des contraintes en tension sont ainsi générées dans la couche et l'énergie élastique emmagasinée par le GaAs augmente avec l'épaisseur déposée. Ces contraintes peuvent être à l'origine d'une courbure du substrat après l'épitaxie. C'est un effet fortement indésirable car il rend les substrats fragiles et difficilement manipulables par les outils robotiques des installations de fabrication des composants microélectroniques [29].

De plus, l'énergie élastique ainsi générée peut devenir assez importante pour créer des fissures dans la couche [30], [31], comme le montre les images de la figure 1.14. Les fissures constituent des ruptures dans la continuité du matériau et nuisent donc à la qualité des dispositifs. On cherchera par conséquent à éviter leur apparition.

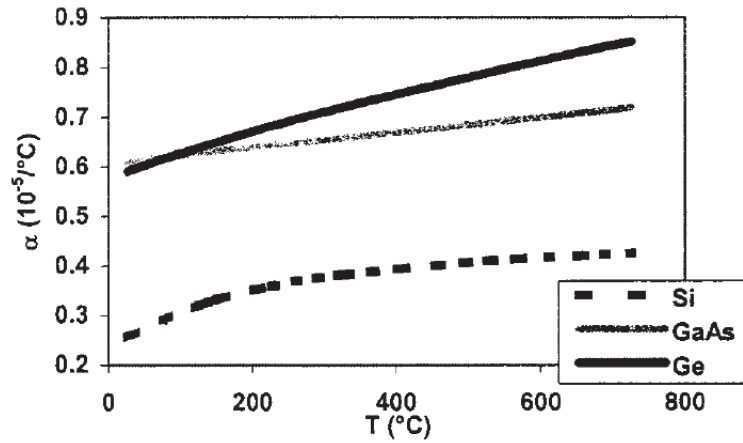


Figure 1.13 : Evolution des coefficients de dilatation thermique du silicium, du GaAs et du germanium avec la température [30].

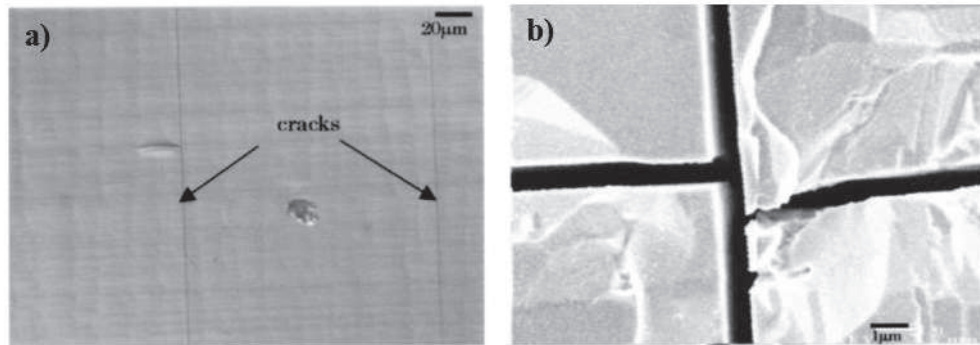


Figure 1.14 : Micrographes optiques de couches de GaAs fissurées, a) 2,8 μm déposé sur SiGe à 700°C et b) 8 μm déposé sur Si à 700°C [30].

L'expression de l'énergie élastique E_e est donnée par la relation (1.3) :

$$E_e = 2t^2 G \frac{(1 - \nu)}{(1 + \nu)} f^2 \quad (1.3)$$

où t est l'épaisseur de la couche
 G est le module de cisaillement de la couche
 ν est le coefficient de Poisson de la couche
 f est la déformation de la couche.

Afin de déterminer l'épaisseur maximale qu'il est possible de déposer avant l'apparition de fissures, on considère l'énergie de formation d'une fissure, E_c , comme le double de l'énergie de surface d'un plan (110) [32] (plans selon lesquels les fissures apparaissent dans le GaAs), E_s , que multiplie l'épaisseur t de la couche.

$$E_c = 2tE_s \quad (1.4)$$

En égalant les relations (1.3) et (1.4), on obtient une expression de l'épaisseur maximale t_c :

$$t_c = \frac{E_S(1 - \nu)}{G(1 + \nu)f^2} \quad (1.5)$$

où la déformation f s'exprime facilement, en faisant l'approximation que les coefficients de dilatation thermique sont constants sur les gammes de températures qui nous intéressent, par l'expression (1.6) :

$$f = (\alpha_{GaAs} - \alpha_{Si})\Delta T \quad (1.6)$$

Comme attendu, l'épaisseur maximale déposable sans fissure diminue avec l'augmentation de l'écart entre la température de croissance et la température ambiante à laquelle l'empilement refroidit en fin d'épitaxie. Les croissances étant typiquement réalisées entre 500°C et 700°C, on peut s'attendre à la formation de fissures entre 3 μm et 5,5 μm de GaAs déposé. Ces valeurs constituent donc les limites hautes des épaisseurs de GaAs qu'il est possible d'épitaxier sur substrat de silicium.

1.2.3 Parois d'antiphase

Le GaAs, et les matériaux III-V en général, sont des matériaux polaires tandis que le silicium est apolaire. Cette différence fondamentale est la source d'un type de défauts cristallins indésirables, les parois d'antiphase ou APB (anglais pour *AntiPhase Boundaries*). Le GaAs cristallise selon une structure cristallographique cubique à face centrée appelée Zinc-Blende où les atomes de gallium et d'arsenic occupent chacun un sous-réseau décalé de $a[\frac{1}{4}, \frac{1}{4}, \frac{1}{4}]$. Le silicium adopte quant à lui une structure cristalline de type diamant, la version monoatomique de la maille Zinc-Blende (figure 1.15).

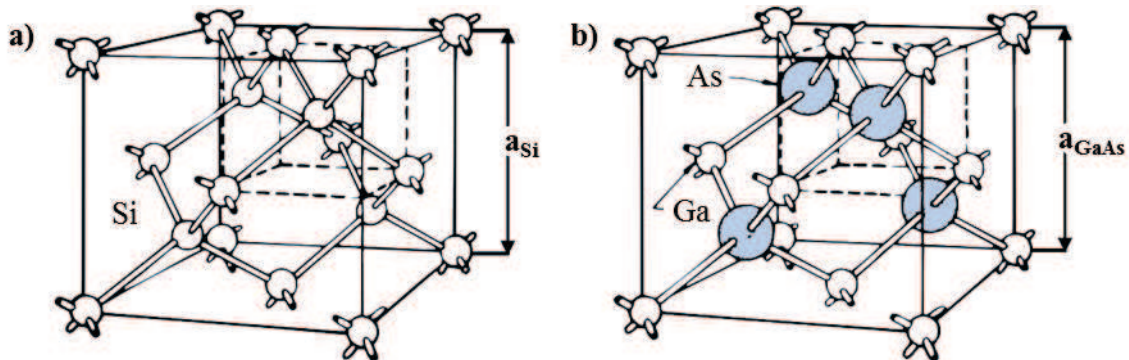


Figure 1.15 : Mailles élémentaires des cristaux de a) silicium et b) GaAs.

Dans les premiers instants de la croissance de GaAs sur silicium, les atomes de gallium et d'arsenic peuvent se placer indifféremment dans l'un des sous-réseaux du cristal de silicium. Certaines zones de GaAs voient donc leur première couche atomique constituée de gallium, et d'autres d'arsenic. Les plans atomiques formant les frontières entre ces différents types de domaines sont constitués d'une succession de liaisons homoatomiques indésirables Ga-Ga et/ou As-As et sont appelés les parois d'antiphase [33] (figure 1.16).

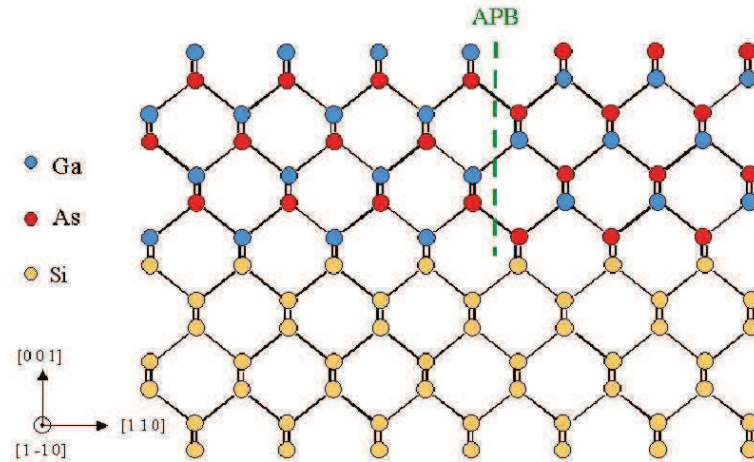


Figure 1.16 : Représentation schématique d'une paroi d'antiphase dans un cristal de GaAs/Si [34].

Dans la pratique, avant le dépôt de GaAs, on traite la surface du substrat avec du gallium ou de l'arsenic. C'est généralement l'arsenic qui est choisi car sa croissance est autolimitée à une monocouche atomique tandis que le gallium peut former des gouttelettes et graver le silicium. Ce prétraitement permet d'éviter la situation illustrée en figure 1.16, mais seulement si on considère une surface de silicium atomiquement plane, ce qui n'est pas le cas en réalité. En effet, la surface des substrats de silicium (001) est constituée d'un enchainement de marches très majoritairement monoatomiques. Comme le montre la figure 1.17, le passage d'une marche à une autre conduit systématiquement à la formation d'une paroi d'antiphase.

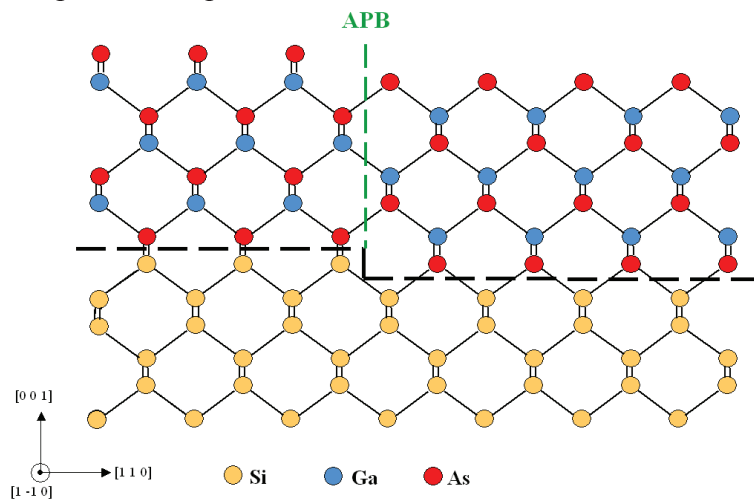


Figure 1.17 : Représentation schématique de la formation d'une paroi d'antiphase au niveau d'une marche monoatomique de silicium [34].

La présence de ces parois d'antiphase est nuisible à la qualité générale des couches de GaAs épitaxiées sur silicium et ce pour plusieurs raisons. Tout d'abord, les liaisons homoatomiques Ga-Ga et As-As qui constituent les parois d'antiphase se comportent comme des accepteurs et des donneurs d'électrons respectivement. Suivant le type de plan cristallin adopté par les parois d'antiphase, le rapport de liaison Ga-Ga/As-

As change et le cristal de GaAs peut se comporter comme un matériau dopé n ou p, ou encore fortement compensé. Ce dopage non intentionnel se fait au détriment de la mobilité électronique, propriété fondamentale que l'on cherche à exploiter dans les applications en microélectroniques. De plus, les parois d'antiphase créent une topographie caractéristique lorsqu'elles émergent à la surface des couches épitaxiées sur silicium, des sillons de quelques nanomètres de profondeur (figure 1.18).

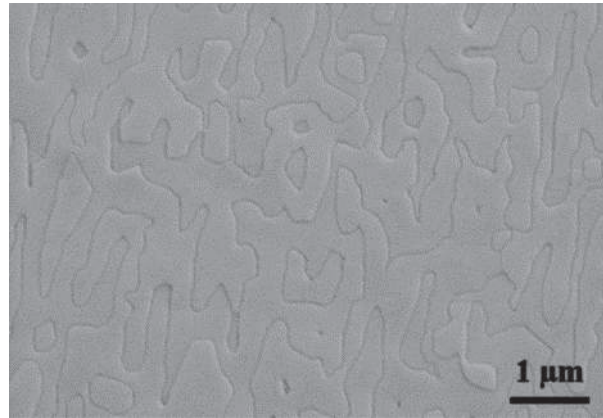


Figure 1.18 : Image MEB d'une surface de GaAs épitaxiée sur silicium et présentant une rugosité liée à la présence de parois d'antiphase.

En effet, les positions atomiques d'une paroi d'antiphase en croissance constituent des pics d'énergie potentielle. Lors de l'épitaxie, les atomes en surface, qui voient leur mobilité de surface exacerbée sous l'action de la haute température et de la basse pression, migrent depuis les parois d'antiphase vers des positions plus favorables. La croissance des parois d'antiphase est ainsi ralentie ce qui conduit à la formation de ces creux caractéristiques. Cette rugosité est un frein pour la fabrication des dispositifs nanométriques en surface de ces matériaux ainsi que pour les technologies de report de couches.

Plusieurs moyens peuvent être utilisés pour limiter, voire supprimer, la présence des parois d'antiphase à la surface des couches de GaAs épitaxiées sur substrat de silicium. L'un d'entre eux repose sur le principe que la rencontre de deux parois d'antiphase entraîne leur annihilation et ainsi le confinement et la non-émergence d'un domaine d'antiphase (figure 1.19) [35]. Cependant, il est difficile de contrôler l'orientation des parois d'antiphase au cours de la croissance. De plus, via le calcul des énergies de surface des parois d'antiphase [36], [37], il apparaît que l'orientation la plus favorable soit celle des plans (110). Or, ces plans sont orthogonaux au plan de croissance (001), ce qui rend leur rencontre moins probable que dans un cas où ils seraient obliques. L'auto-annihilation est un phénomène aléatoire et difficilement contrôlable dont l'utilisation implique la croissance de couches épaisses de GaAs afin d'augmenter la probabilité de rencontre des parois d'antiphase. Comme vu précédemment, les problèmes de fissures dans les couches épaisses limitent les avantages d'une telle approche.

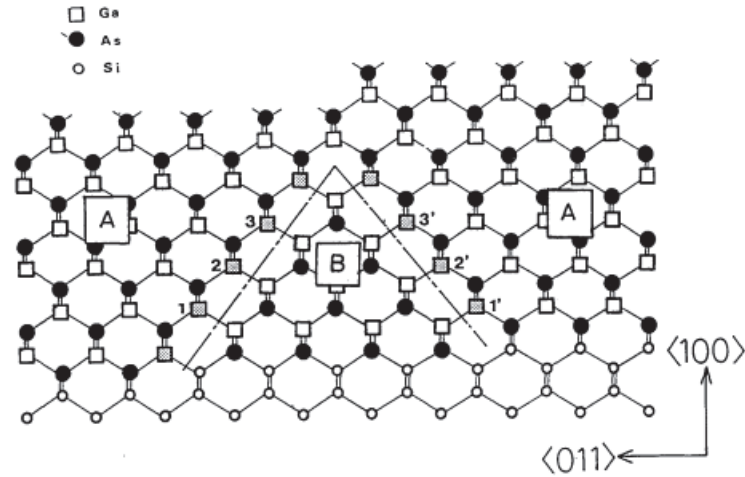


Figure 1.19 : Exemple d'auto-annihilation de deux parois d'antiphase [35].

Un autre moyen de s'affranchir de la présence des parois d'antiphase consiste à faire croître le GaAs sur un substrat de silicium dont la surface ne présente plus de marches monoatomiques mais des marches biatomiques. En effet, comme l'illustre la figure 1.20, l'épitaxie de GaAs sur une telle surface ne permet plus aux atomes de gallium et d'arsenic d'intégrer le même sous-réseau et prévient ainsi la formation des parois d'antiphase.

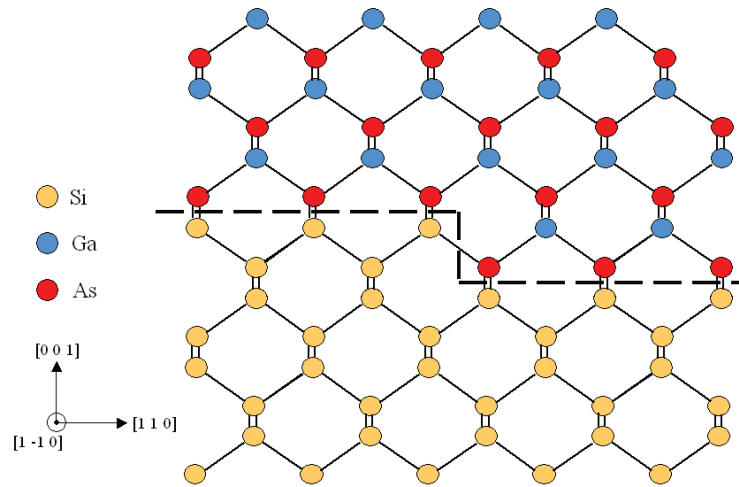


Figure 1.20 : Cristal de GaAs épitaxié au niveau d'une marche biatomique de silicium, ne présentant pas de paroi d'antiphase [34].

Néanmoins, l'obtention de marches biatomiques à la surface de substrat de silicium (001) est difficile. C'est pourquoi il est envisageable d'utiliser des substrats dits désorientés, dont la surface ne correspond plus exactement à un plan (001), mais forme un léger angle α avec ce dernier, typiquement 4° à 6° . Sur de tels substrats, la longueur L des terrasses séparées par les marches atomiques, donnée par la relation (1.7), devient très petite (environ 2 nm pour une désorientation de 4°).

$$L = \frac{a}{4 \tan(\alpha)} \quad (1.7)$$

Grâce à un traitement thermique du substrat désorienté avant l'épitanie, la surface va se réarranger en marches biatomiques, moins couteuses en énergie qu'une configuration en marches monoatomiques. L'utilisation de tels substrats permet de s'affranchir efficacement des parois d'antiphase dans les couches de GaAs épitanies sur silicium et a donné de bons résultats pour des applications optoélectroniques [38]–[42]. Cependant, dans notre cas, un problème persiste, l'intégration de ces substrats paraît peu envisageable dans les filières de fabrication de composants microélectroniques de masse. En effet, les différences, anodines à priori, avec les substrats nominaux standards rendent les procédés déjà existants inutilisables (vitesses d'oxydation et de gravure différentes, réactivité de surface plus importante, etc.) et leur coût est plus élevé également.

L'épitanie de GaAs sur substrat de silicium présente des barrières physiques et technologiques. Le fort désaccord de paramètres de maille (4,1%) et la différence de polarité entre ces deux matériaux sont la source de la génération de dislocations et de parois d'antiphase respectivement. Ces défauts nuisent au bon fonctionnement des futurs dispositifs microélectroniques fabriqués à partir de ces couches. La réduction de leur densité par la croissance de couches épaisses de GaAs est limitée par la création de fissures dans le matériau, susceptibles d'apparaître lors du refroidissement de l'empilement après l'épitanie, due à la grande différence de coefficient de dilation thermique entre la couche et le substrat. L'utilisation de substrats de silicium désorientés de quelques degrés s'avère efficace pour s'affranchir de la présence de parois d'antiphase, mais malheureusement, ils ne sont pas compatibles avec les procédés standards de fabrications des dispositifs microélectroniques actuels. Aux vues de ces difficultés, des stratégies de croissances de GaAs sur silicium ont été, et sont encore développées afin d'obtenir des couches dont la défektivité est minimale.

1.3 Stratégies de croissance de GaAs sur silicium

Une des conditions nécessaires à la fabrication de dispositifs III-V sur silicium est la croissance de pseudo-substrats GaAs/Si. Les pseudo-substrats sont des couches de matériaux présentant des caractéristiques proches du matériau massif mais réalisées sur un substrat différent. On retrouve par exemple des pseudo-substrats SiGe/Si ou Ge/Si. Le GaAs est le substrat le plus utilisé (avec l'InP) dans le domaine de l'épitanie III-V/III-V (hormis pour les nitrures). Donc, si l'on obtient un bon pseudo-substrat de GaAs/Si, il est possible de mettre à contribution le grand savoir-faire accumulé dans ce domaine. La réalisation de ces couches faciliterait également le transfert de matériaux III-V sur silicium via la technologie SmartCut™. En effet, ce type de transfert pose des difficultés liées à l'utilisation de substrats III-V et de leur comportement d'expansion lors des montées en température différent par rapport à celui du silicium. Cela occasionne des courbures, pouvant aller jusqu'à la rupture du collage. Ces problèmes peuvent être évités si les deux éléments collés sont un substrat de silicium d'un côté et un substrat de silicium surmonté d'une couche épitaniale de GaAs de l'autre. De ce fait, les pseudo-substrats GaAs/Si ouvrent également la voie aux dispositifs « III-V-OI » intégrés sur des substrats

de grande taille, typiquement 300 mm de diamètre. Comme vu précédemment (cf. 1.2) la croissance de GaAs sur silicium présente des difficultés et plusieurs stratégies développées afin de diminuer la densité de défauts seront présentées dans cette partie, divisées en deux catégories. Tout d'abord la croissance de couches bidimensionnelles sur silicium, avec ou sans présence de couche tampon intermédiaire, puis la croissance localisée de GaAs, toujours sur silicium.

1.3.1 Couches bidimensionnelles de GaAs sur substrat silicium

Nous verrons ici des méthodes de croissances visant à réduire le nombre de défauts présents dans les couches de GaAs et spécialement proches de la surface. En effet, les défauts cristallins qui émergent à la surface sont les plus critiques car ils peuvent se propager dans les couches épitaxiées au-dessus du GaAs. On peut tout d'abord réduire la génération des dislocations dans le pseudo-substrat par l'intercalation, entre le GaAs et le silicium, de couches de matériaux dont le paramètre de maille est proche du GaAs. On les appelle les couches tampons. Sinon, il existe des méthodes permettant de réduire la densité de défauts, ou de les éloigner de la surface, lors de l'épitaxie directe de GaAs sur silicium.

1.3.1.1 Croissance sur couche tampon

Les couches tampons servent à accommoder le paramètre de maille entre le silicium et le GaAs, elles peuvent être de composition constante ou variable.

- Couche tampon de composition constante (Ge, STO)

Le germanium possède un paramètre de maille et un coefficient de dilatation thermique proche de ceux du GaAs, c'est donc un matériau de choix pour la réalisation de couche tampon lors de l'épitaxie de GaAs sur silicium.

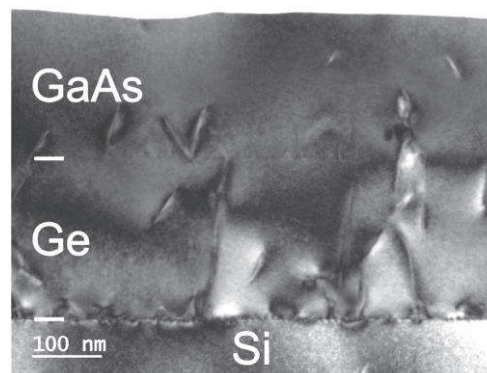


Figure 1.21 : Couche de GaAs épitaxiée sur substrat de silicium via une couche tampon de germanium. [43]

C'est le cas présenté en figure 1.21, où une couche de GaAs de 200 nm est épitaxiée sur une couche tampon de germanium de 250 nm [43]. La densité de dislocations émergentes du germanium est donnée autour de $8 \cdot 10^8 \text{ cm}^{-2}$, ce qui est élevé mais essentiellement dû à la faible épaisseur du Ge. En revanche, aucune information n'est donnée en termes de dislocations dans le GaAs. Un autre exemple est visible en figure 1.22, il s'agit de GaAs

contenant un peu d'indium, ($\text{In}_{0,01}\text{Ga}_{0,99}\text{As}$) afin d'être parfaitement en accord de maille avec Ge, épitaxié sur une couche tampon de germanium de 1 μm environ déposé sur un substrat de silicium désorienté de 7° [44]. L'(In)GaAs fait 1,5 μm d'épaisseur est la densité de dislocation émergente est estimé à 10^6 cm^{-2} environ, ce qui constitue un bon résultat pour cette épaisseur si on s'en réfère au modèle de Wang *et al.* ([23], figure 1.13).

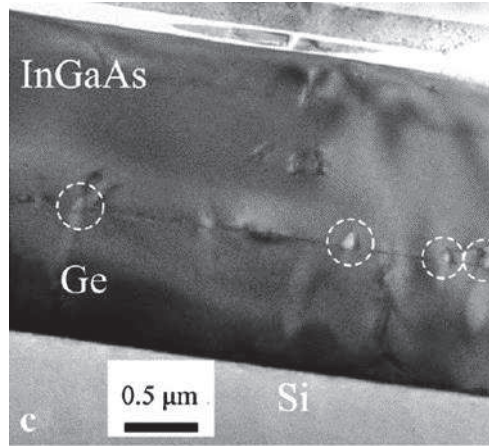


Figure 1.22 : Couche d'(In)GaAs épitaxiée sur substrat silicium désorienté de 7° via une couche tampon de germanium. [44]

En revanche, les auteurs soulignent ici un problème soulevé par l'utilisation de couche tampon, la diffusion des atomes du tampon vers la couche de GaAs. Cela provoque un dopage non-intentionnel significatif de la couche jusqu'à une distance de 400 nm de l'interface Ge/GaAs. D'autres travaux, plus anciens pour certains) montrent des croissances de GaAs passant par l'intermédiaire de couche tampon de germanium [34], [45]–[48].

De façon plus anecdotique, des couches de SrTiO_3 (STO) ont prouvé leur efficacité en tant que couche tampon au début des années 2000 (figure 1.23) [49]. Les couches de GaAs de 2 μm d'épaisseur ainsi épitaxiées sur STO montrent de bonnes caractéristiques, une densité de dislocation émergentes de 10^5 cm^{-2} , pas de parois d'antiphase et une mobilité s'élevant à 94% d'une couche de GaAs de référence épitaxiée sur substrat de GaAs. Malgré ces bons résultats, cette voie de développement n'a pas donné de suite, peut-être à cause des difficultés liées à l'élaboration du STO ou encore à la baisse du coût des substrats de GaAs. De plus, l'évaluation des dislocations émergentes dans cette couche semble sous-estimée par rapport au modèle présenté précédemment.

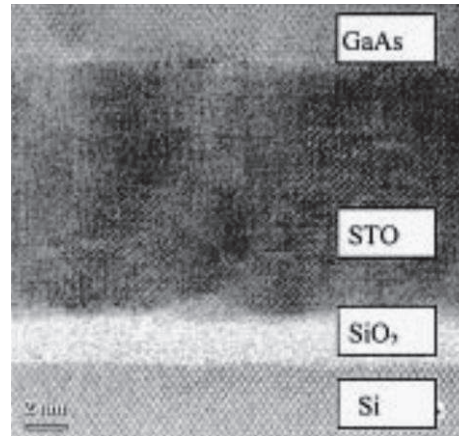


Figure 1.23 : Couche tampon de SrTiO_3 (STO) servant de support à la croissance de GaAs sur substrat de silicium. [49]

Ces couches tampons de composition constante améliorent la qualité du GaAs mais reporte le problème de l'hétéroépitaxie sur silicium sur un autre matériau dont la croissance doit être bien maîtrisée.

- Couches tampons métamorphiques (InGaP, GaAsP, SiGe)

Les couches tampons métamorphiques sont réalisées avec une composition non constante, faisant varier leur paramètre de maille entre celui du substrat en silicium, jusqu'à celui du GaAs. Cela permet la relaxation de la structure tout en minimisant l'apparition de dislocations.

Cette variation peut être continue comme dans le cas du SiGe. Ce type de couche est épitaxié sur silicium en changeant le ratio Si/Ge introduit dans la chambre de dépôt de façon continu durant la croissance. Elles sont le fruit de recherches et de développements poussés non détaillés ici (voir Ref. [50]–[63]). Les couches de GaAs épitaxiées sur de telles couches tampons, réalisées essentiellement en vue d'applications photovoltaïques, montrent des propriétés proches de celles réalisées sur des substrats de GaAs ([64]–[70]). Carlin *et al.* [69] par exemple, font état de couches de GaAs épitaxiées sur des couches tampons de SiGe graduelles (10 μm) d'une épaisseur comprise entre 0,1 μm et 1 μm , dont la densité de dislocations émergentes est estimée entre $8 \cdot 10^5 \text{ cm}^{-2}$ et $2 \cdot 10^6 \text{ cm}^{-2}$ (figure 1.24). Ils s'affranchissent de la présence de parois d'antiphase en utilisant des substrats de silicium désorientés de 6° . L'inconvénient majeur de cette approche réside dans la très forte épaisseur (environ 10 μm) de la couche tampon. Elle implique donc, outre les considérations de coûts et de temps de dépôt, des problèmes de courbure du substrat ou de fissuration des couches causés par la différence de coefficient thermique avec le substrat de silicium.

La variation de composition de la couche tampon peut également prendre la forme d'une succession de couches de différentes compositions. Un exemple de cette approche est l'utilisation des matériaux GaAsP [71]–[74] et InGaP (avec %In < 50%), dont les paramètres de mailles se trouvent entre ceux du silicium et du GaAs. La figure 1.25 illustre les travaux de Tsuji *et al.* [75].

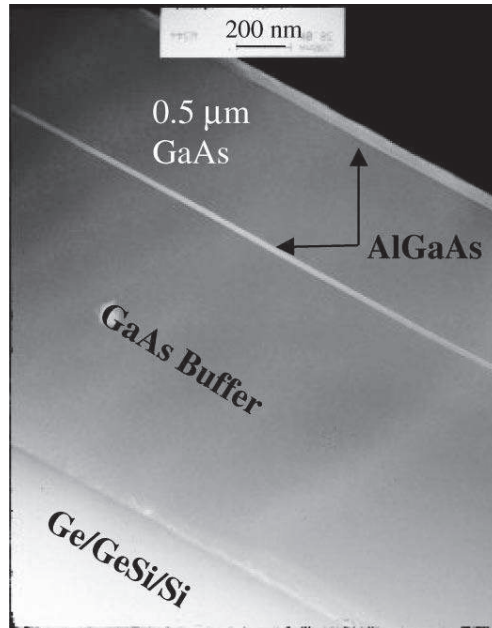


Figure 1.24 : GaAs épitaxié sur substrat de silicium désorienté de 6° via une couche tampon de SiGe de composition graduelle. [69]

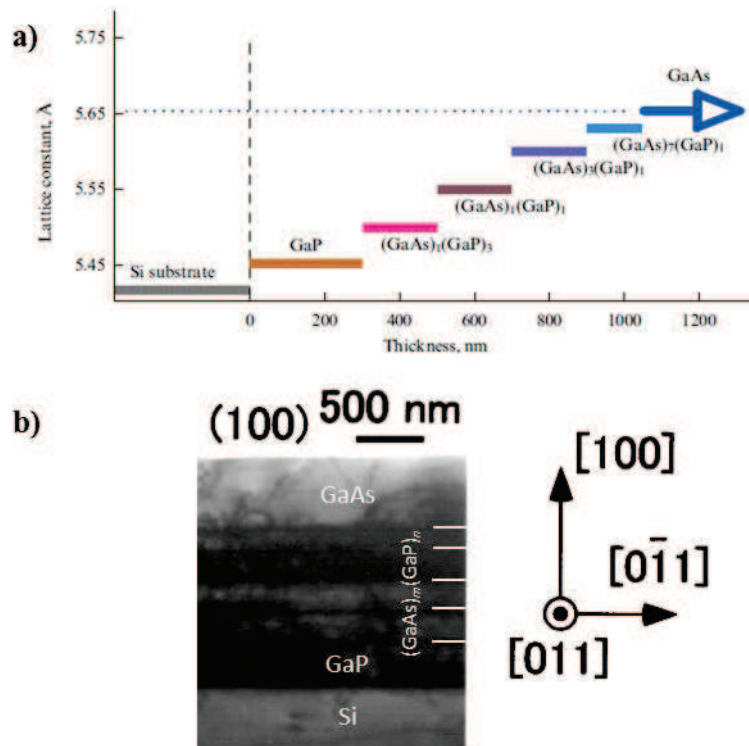


Figure 1.25 : a) Evolution du paramètre de maille de la succession de couches $(\text{GaAs})_n(\text{GaP})_m$ en fonction de l'épaisseur de la couche tampon et b) vue en coupe TEM de la couche épitaxiée sur silicium désorienté de 4° . [73], [76]

Ici, la couche tampon est constituée d'une couche GaP surmontée d'une succession de couche de $(\text{GaAs})_m(\text{GaP})_n$, où m et n sont le nombre de monocouches de GaAs et GaP déposées, respectivement. Le ratio m/n change en fonction de l'épaisseur, comme décrit dans la figure 1.25.a afin que le paramètre de maille tende vers celui du GaAs, qui est quasiment atteint à une épaisseur de 1050 nm. Le substrat de silicium est désorienté de 4° afin d'éviter la formation de parois d'antiphase. Sur la vue en coupe TEM, on voit que la couche tampon est fortement disloquée et qu'une quantité non négligeable de ces dislocations atteint la couche de GaAs. Les auteurs ne donnent pas d'informations sur la densité de dislocations émergentes à la surface de la couche de GaAs. Cette approche possède l'avantage de proposer une couche tampon peu épaisse (environ 10 fois moins que pour une couche graduelle de SiGe), cependant, il est difficile de maintenir une croissance bidimensionnelle des matériaux GaAs et GaP qui ont une tendance naturelle à nucléer sous forme d'îlots, créant des dislocations lors de leur coalescence.

Les couches tampons sont des moyens efficaces d'obtenir des couches de GaAs de bonne qualité sur substrat de silicium. Néanmoins, elles déportent les problèmes d'hétéroépitaxie vers d'autres matériaux comme le germanium. Les couches tampons SiGe de composition graduelle permettent l'obtention de GaAs de qualité très proche de celle obtenue sur substrat GaAs, mais possèdent des désavantages importants, comme l'épaisseur de la couche tampon (et donc le coût et le temps de dépôt, et les problèmes de courbure et de fissuration), la nécessité d'utiliser un outil de croissance tiers et la diffusion du Ge. Les couches tampons réalisées en matériaux III-V sont, quant à elles, à la fois moins épaisses et réalisables dans la même machine (et donc sans remise à l'air) que le GaAs. Le GaAs ainsi obtenu semble cependant de moindre qualité.

1.3.1.2 Croissance directe sur silicium

Dans le but de réduire les épaisseurs déposées et d'éliminer la présence d'autres matériaux qui peuvent compliquer la croissance, beaucoup de groupes s'intéressent à l'épitaxie directe de GaAs sur silicium, sans l'intermédiaire de couches tampons. L'approche la plus classiquement utilisée est la croissance en deux étapes. Premièrement une nucléation à basse température afin de renforcer le caractère bidimensionnel de la croissance de GaAs sur silicium. Puis et enfin une croissance à plus haute température, dans des conditions proches de l'épitaxie de GaAs sur GaAs [77]–[83]. A cette approche en deux étapes est souvent associée l'utilisation de recuits cyclés (ou cyclage thermique, ou encore TCA, anglais pour *Thermal Cycling Annealing*) du GaAs pendant et/ou après la croissance. Ils ont pour effet de diminuer la densité de dislocations émergentes, grâce à l'apport d'énergie thermique qui favorise leur mobilité et ainsi la probabilité de recombinaison et d'annihilation (figure 1.26) [28]. Uen *et al.* combinent ces deux techniques (croissances en deux étapes et cyclage thermique) et annoncent des densités de dislocations émergentes inférieures à 10^6 cm^{-2} pour des couches de GaAs de $4 \mu\text{m}$ d'épaisseur épitaxiées sur des substrats de silicium désorientés de 2° [84].

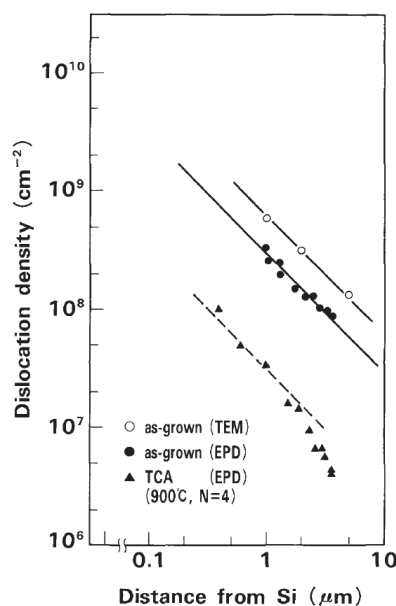


Figure 1.26 : Influence du cyclage thermique (TCA) sur la densité de dislocations émergentes de couches de GaAs/Si. [28]

L'inclusion de super réseaux de couches contraintes au sein du GaAs à également pour effet de diminuer la densité de dislocations émergentes [85]–[89]. Le champ de contrainte ainsi créer dans la couche peut courber les dislocations et les empêcher d'atteindre la surface du GaAs (figure 1.27). Ces couches de filtration de défauts (ou DFL pour *Defect Filter Layers*) peuvent être réalisées à partir de différentes alternances de matériaux comme AlGaAs/GaAs, InAlAs/GaAs ou encore InGaAs/GaAs.

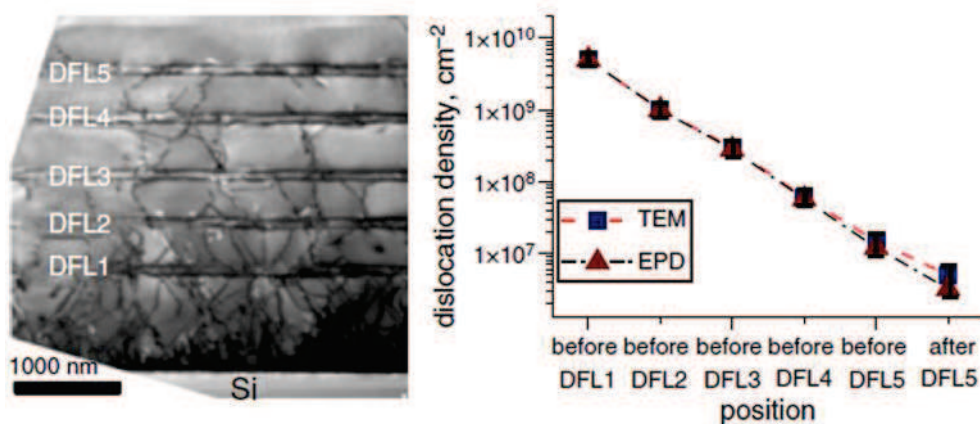


Figure 1.27 : Vue en coupe TEM de GaAs/Si (désorienté de 4°), incluant des couches de filtration de défauts (DFL) composées de super réseaux AlGaAs/GaAs. L'effet de réduction de la densité de dislocation après chaque DFL est indiqué sur le graphique. [88]

La croissance directe de GaAs sur silicium permet de réduire l'épaisseur totale déposée sur le substrat et limite ainsi les problèmes de courbure voire de fissuration des matériaux. L'utilisation de croissances en deux étapes, de cyclages thermique et de couches de filtration de défauts permet de réduire la densité de dislocations émergentes des couches de GaAs.

La croissance de GaAs sous forme de couches bidimensionnelles sur substrat de silicium, avec ou sans couche tampon, est la méthode la plus directe d'épitaxie de pseudo-substrats GaAs/Si. Néanmoins, comme le rappelle la figure 1.13, la densité de dislocations émergentes est très fortement dépendante de l'épaisseur de GaAs déposée. L'utilisation de cyclages thermiques et/ou de couche de filtration de défauts permet de diminuer cette densité. Les parois d'antiphase ne sont éliminées que par l'intermédiaire de substrats désorientés de quelques degrés, dont l'utilisation dans l'industrie de la microélectronique semble difficile.

1.3.2 Croissances localisées de GaAs sur silicium

La localisation des dépôts de GaAs dans des motifs préalablement réalisés sur les substrats de silicium permet, comme on le verra, une réduction importante des défauts présents à la surface du GaAs pour des épaisseurs plus faibles que dans le cas d'épitaxies de couches bidimensionnelles. L'amélioration de la qualité du GaAs obtenue par épitaxie sélective repose sur le principe de l'ART (*Aspect Ratio Trapping* ou piégeage par le rapport d'aspect en français), illustré en figure 1.28. Le GaAs est épitaxié sélectivement dans des cavités de SiO₂ dont le fond est ouvert sur le silicium du substrat. La propagation des défauts générés à l'interface GaAs/Si est bloquée par les parois d'oxyde des cavités. Le GaAs situé au sommet des motifs voit ainsi sa densité de défauts réduite.

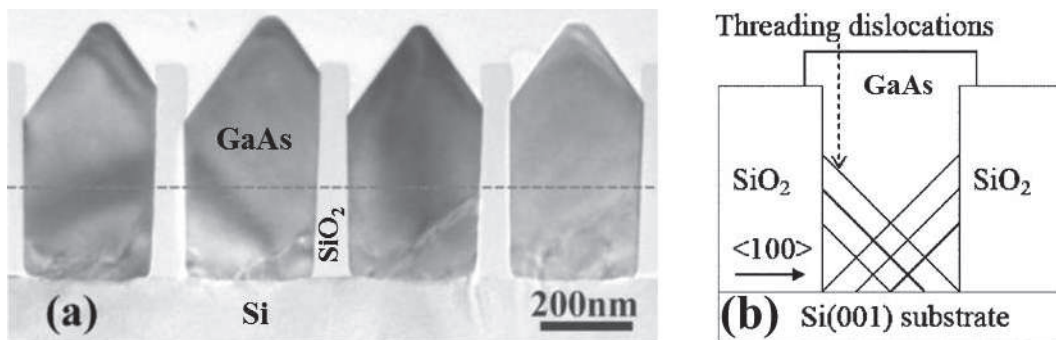


Figure 1.28 : Vue en coupe TEM (a) et schéma de principe de l'ART (b). [90], [91]

L'ART peut également être couplé avec la révélation des plans (111) du silicium en fond de cavité afin de supprimer la nucléation de parois d'antiphase lors de la croissance de matériaux III-V (figure 1.29). Ce type de cavité est appelé *V-Groove* ou *V-Shaped* à cause de la forme « en V » du fond de la cavité.

Deux exemples de croissances de GaAs par ART sont présentés en figure 1.30, l'une dans des cavités à fond plat [92] et l'autre dans des cavités *V-Shaped* [93]. La surface du GaAs réalisé par ART comporte dans la plupart des cas des facettes {111} et l'utilisation de ces objets tridimensionnels dans des dispositifs passe souvent par des étapes de polissages mécano-chimiques. Cela peut être le cas par exemple lors de la réalisation de lignes d'InP [94], [95].

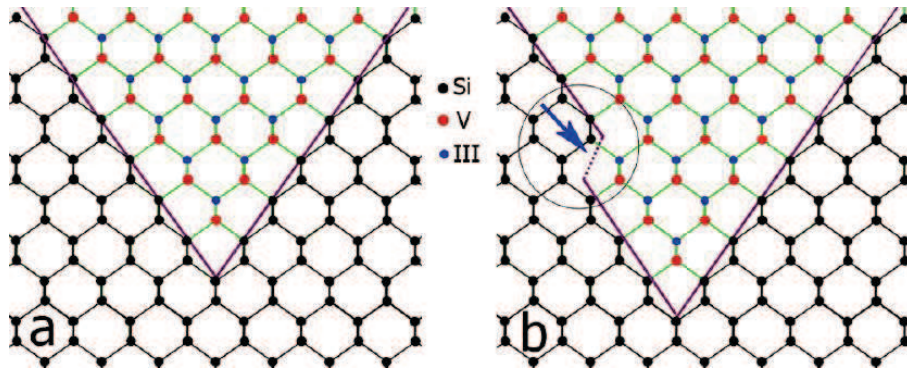


Figure 1.29 : La croissance de matériaux III-V sur des plans (111) du silicium prévient la formation de parois d'antiphase (a), même en cas de présence de marches atomiques (b). [96]

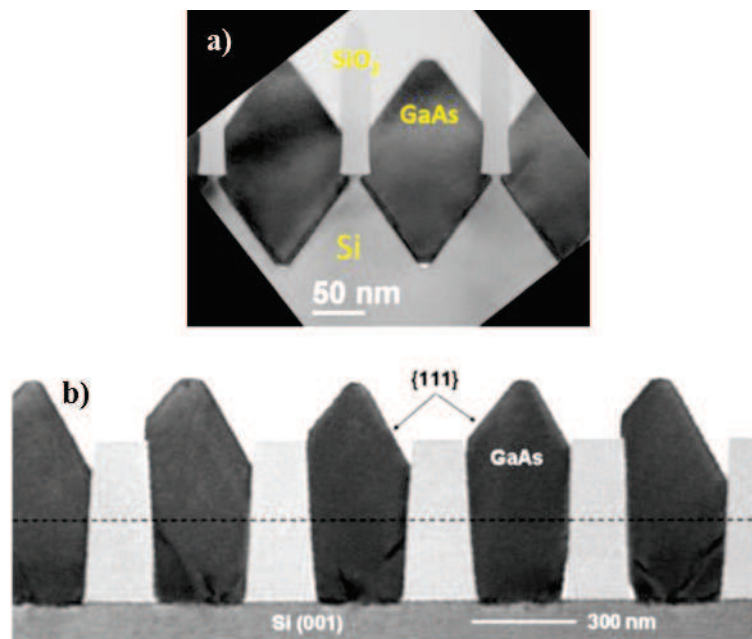


Figure 1.30 : Vues en coupe TEM de GaAs sélectivement épitaxié dans des cavités a) V-Shaped [93] et b) à fond plat [92].

Il est également possible d'obtenir des couches de GaAs bidimensionnelles continues par coalescence des lignes de GaAs, soit au-dessus des motifs de SiO_2 , soit après le retrait de l'oxyde (figure 1.31). On appelle cette croissance latérale ELOG (pour *Epitaxial Lateral OverGrowth*, ou surcroissance épitaxiale latérale en français). La coalescence de ces motifs peut causer l'apparition de défauts cristallins comme des dislocations ou des fautes d'empilement (figure 1.31.b). Néanmoins, les couches de GaAs ainsi obtenues bénéficient de la réduction de la densité de défauts conférée par l'ART, pour des épaisseurs submicroniques.

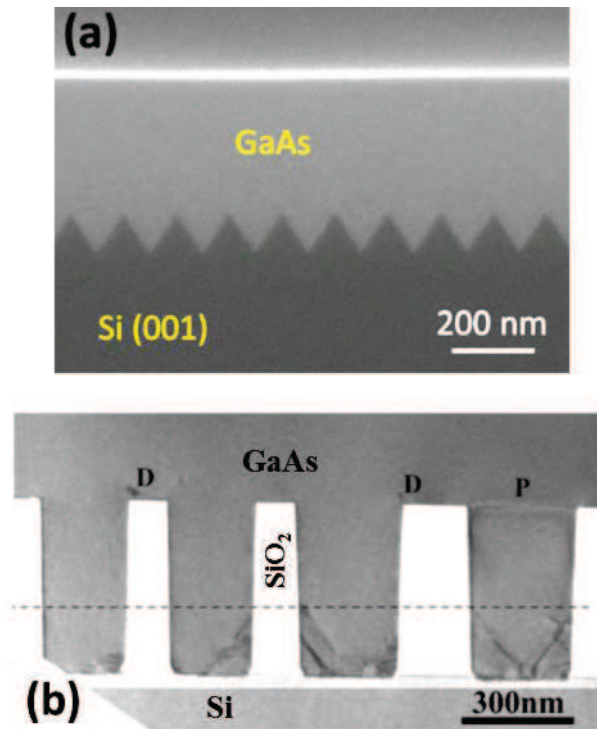


Figure 1.31 : Couches bidimensionnelles de GaAs obtenue par ART puis ELOG. (a) Avec retrait du SiO_2 [93] et (b) sans retrait de l'oxyde [90] (D = dislocations, P = défauts planaires).

L'épitaxie localisée de GaAs et l'exploitation du principe de l'ART permettent d'obtenir des matériaux moins défectueux en surface que par un dépôt bidimensionnel sur la totalité du substrat, à épaisseurs équivalentes. C'est donc une approche très intéressante pour la fabrication de pseudo-substrats GaAs/Si (ou de nano-objets tridimensionnels III-V/Si) de faibles épaisseurs, malgré l'ajout d'étapes technologiques préalables à l'épitaxie afin de réaliser les motifs sur le substrat de silicium.

Dans le but de réduire les densités de défauts à la surface des pseudo-substrats GaAs/Si, plusieurs stratégies ont été développées. Le dépôt préalable d'une couche tampon, de composition constante ou graduelle, permet d'accommoder la différence de paramètre de maille de 4,1% entre le silicium et le GaAs. La croissance directe de GaAs sur silicium sans couches intermédiaires permet de réduire l'épaisseur totale déposée sur le substrat. Cependant, la densité de défauts étant naturellement plus élevée, des techniques sont employées afin de réduire leur émergence à la surface, telles que la croissance en deux étapes, le cyclage thermique et l'insertion de couches de filtration de défauts. Enfin, l'épitaxie localisée du GaAs dans des motifs réalisés sur le substrat de silicium permet, grâce au principe de l'ART, de piéger les défauts dans les premiers nanomètres de la couche. Quant à la présence de parois d'antiphase, elle est quasi systématiquement évitée par l'utilisation de substrats de silicium désorientés.

1.4 Outil de croissance, bâti de MOVPE

Il existe plusieurs techniques qui permettent la croissance cristalline de couches minces sur un substrat. Dans notre cas, nous utiliserons le dépôt chimique en phase vapeur aux organométalliques (MOVPE pour *Metal Organic Vapour Phase Deposition*) qui possède un certain nombre d'avantages, notamment d'un point de vue industriel, par rapport à l'autre technique la plus utilisée, l'épitaxie par jets moléculaires (MBE pour *Molecular Beam Epitaxy*). On peut par exemple citer les vitesses de croissance plus importantes, les pressions de fonctionnement plus faciles à mettre en œuvre (de quelques Torr à quelques centaines de Torr, contre des conditions d'ultra vide en MBE) et les sources de précurseurs situées à l'extérieur de l'enceinte de la chambre. Cela permet une utilisation et une maintenance facilitées, donc un outil plus souvent opérationnel. L'équipement qui sera utilisé est fabriqué par *Applied Materials* et permet de traiter des substrats allant jusqu'à 300 mm de diamètre, qui est son standard de fonctionnement. Un schéma de principe de la chambre de dépôts et de l'injection des gaz précurseurs est présenté en figure 1.32.

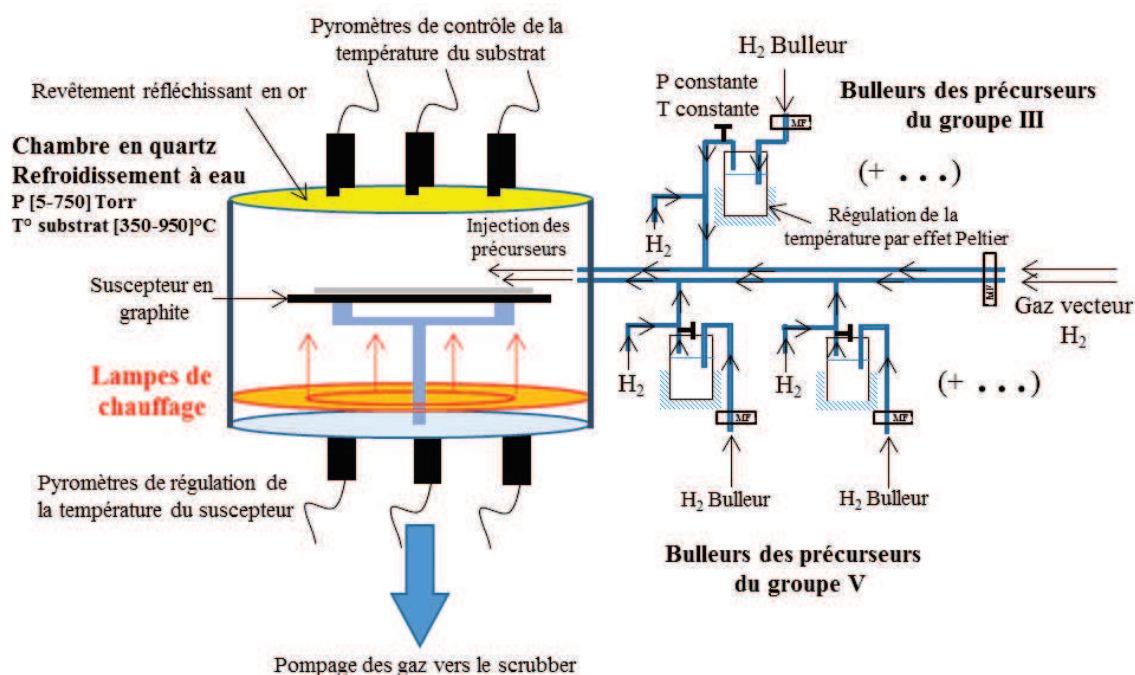


Figure 1.32 : Schéma de principe de la chambre de dépôt MOVPE III-V et de l'injection des précurseurs via les bulleurs.

En MOVPE, les atomes de la couche en croissance sont acheminés vers le substrat sous forme de molécules organométalliques par un gaz vecteur, ici le dihydrogène H_2 . Ces organométalliques sont conditionnés sous forme liquide (ou plus rarement solide) dans des ampoules, ou bulleurs, maintenues à une pression et une température de fonctionnement, et en équilibre avec leur phase vapeur (figure 1.33). Le gaz vecteur vient buller dans le précurseur, se charge en organométallique et est envoyé vers la chambre de dépôt. La quantité de précurseurs ainsi prélevée est régulée par le flux de H_2 entrant dans le bulleur mais est également dépendant de la pression et de la température au sein de

l'ampoule. Les précurseurs des groupes III et V sont injectés dans la chambre sous forme d'un flux laminaire au-dessus du substrat. Ce dernier est posé sur un suscepteur rotatif en graphite chauffé par un banc de lampes de chauffage. Les molécules d'organométalliques réagissent en phase vapeur proche et à la surface du substrat, se décomposent et les éléments III et V viennent se déposer à sa surface.

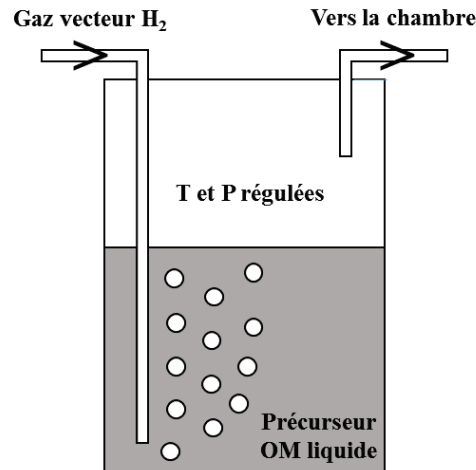


Figure 1.33 : Schéma simplifié d'un bulleur typiquement utilisé dans les équipements de MOCVD.

1.5 Conclusion

L'intégration monolithique de semi-conducteurs III-As sur substrat silicium intéresse le monde de la microélectronique. En effet, ces matériaux sont sérieusement envisagés pour le remplacement du silicium au sein des transistors, afin de pallier les limitations de performances actuelles et futures de ces dispositifs. Une des plus importantes semble être l'augmentation de la puissance dissipée par les circuits (avec la hausse exponentielle de la densité de transistors par unité de surface), qui a atteint un palier critique au-dessus duquel l'excès de chaleur généré causerait une baisse des performances et de la durée de vie des composants. Un levier efficace pour réduire cette puissance dissipée est la baisse de la tension d'alimentation du transistor. Malheureusement, le silicium impose une valeur minimale autour de 0,8V, qui est déjà atteinte à l'heure actuelle. Les semi-conducteurs III-V possèdent des mobilités de porteurs de charge supérieures au silicium et permettent donc la réalisation de transistors fonctionnant à plus basse tension d'alimentation. Cependant, l'intégration de tels dispositifs requiert l'obtention de matériaux III-V de bonne qualité sur des substrats de silicium, sur lesquels tous les procédés de fabrication reposent. Or, les matériaux III-V, comme le GaAs, et le silicium possèdent des différences de propriétés qui sont la source de la création de défauts indésirables lors de l'épitaxie du premier sur le second. La différence de paramètre de maille engendre des dislocations, l'écart de coefficient de dilatation thermique limite l'épaisseur maximale déposable par l'apparition de fissures lors du refroidissement post épitaxie, et l'incompatibilité de polarité crée des parois d'antiphase. Des stratégies de croissance ont cependant été développées dans le but de minimiser ces densités de défauts. L'utilisation de couches tampons, l'insertion de

couches de filtrage de défauts, le cyclage thermique et l'épitaxie sélective sont des moyens efficaces de réduire la densité de dislocations émergentes. Le problème des parois d'antiphase ne semble, quant à lui, que trouver sa solution dans l'emploi de substrat de silicium désorienté, dont l'utilisation au sein des plateformes de production paraît peu probable.

Bibliographie

- [1] A. Chaudhry and M. J. Kumar, "Controlling short-channel effects in deep-submicron SOI MOSFETs for improved reliability: a review," *IEEE Trans. Device Mater. Reliab.*, vol. 4, no. 1, pp. 99–109, Mar. 2004.
- [2] J.-P. Colinge, "Multiple-gate SOI MOSFETs," *Solid-State Electron.*, vol. 48, no. 6, pp. 897–905, Jun. 2004.
- [3] S. Hall, O. Buiu, I. Mitrovic, Y. Lu, and W. Davey, "Review and perspective of high-k dielectrics on silicon," *J. Telecommun. Inf. Technol.*, no. 2, 2007.
- [4] J. A. del Alamo, "Nanometre-scale electronics with III-V compound semiconductors," *Nature*, vol. 479, no. 7373, pp. 317–323, Nov. 2011.
- [5] E. Pop, "Energy dissipation and transport in nanoscale devices," *Nano Res.*, vol. 3, no. 3, pp. 147–169, Mar. 2010.
- [6] D. J. Frank, "Power-constrained CMOS scaling limits," *IBM J. Res. Dev.*, vol. 46, no. 2.3, pp. 235–244, Mar. 2002.
- [7] H. Iwai, "Roadmap for 22 nm and beyond (Invited Paper)," *Microelectron. Eng.*, vol. 86, no. 7–9, pp. 1520–1528, Jul. 2009.
- [8] T. N. Theis and P. M. Solomon, "In Quest of the 'Next Switch': Prospects for Greatly Reduced Power Dissipation in a Successor to the Silicon Field-Effect Transistor," *Proc. IEEE*, vol. 98, no. 12, pp. 2005–2014, Dec. 2010.
- [9] R. Pillarisetty, B. Chu-Kung, S. Corcoran, G. Dewey, J. Kavalieros, H. Kennel, R. Kotlyar, V. Le, D. Lionberger, M. Metz, N. Mukherjee, J. Nah, W. Rachmady, M. Radosavljevic, U. Shah, S. Taft, H. Then, N. Zelick, and R. Chau, "High mobility strained germanium quantum well field effect transistor as the p-channel device option for low power ($V_{cc} = 0.5$ V) III-V CMOS architecture," in *Electron Devices Meeting (IEDM), 2010 IEEE International*, 2010, pp. 6.7.1–6.7.4.

- [10] M. Radosavljevic, G. Dewey, J. M. Fastenau, J. Kavalieros, R. Kotlyar, B. Chu-Kung, W. K. Liu, D. Lubyshev, M. Metz, K. Millard, N. Mukherjee, L. Pan, R. Pillarisetty, W. Rachmady, U. Shah, and R. Chau, "Non-planar, multi-gate InGaAs quantum well field effect transistors with high-K gate dielectric and ultra-scaled gate-to-drain/gate-to-source separation for low power logic applications," in *Electron Devices Meeting (IEDM), 2010 IEEE International*, 2010, pp. 6.1.1–6.1.4.
- [11] J. A. del Alamo, D. A. Antoniadis, J. Lin, W. Lu, A. Vardi, and X. Zhao, "III-V MOSFETs for Future CMOS," in *2015 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, 2015, pp. 1–4.
- [12] S. Takagi, R. Zhang, J. Suh, S.-H. Kim, M. Yokoyama, K. Nishi, and M. Takenaka, "III-V/Ge channel MOS device technologies in nano CMOS era," *Jpn. J. Appl. Phys.*, vol. 54, no. 6S1, p. 06FA01, Jun. 2015.
- [13] J. Lin, D. A. Antoniadis, and J. A. del Alamo, "Novel intrinsic and extrinsic engineering for high-performance high-density self-aligned InGaAs MOSFETs: Precise channel thickness control and sub-40-nm metal contacts," 2014, pp. 25.1.1–25.1.4.
- [14] S. Kim, M. Yokoyama, N. Taoka, R. Nakane, T. Yasuda, O. Ichikawa, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi, "Sub-60-nm Extremely Thin Body In_xGa_{1-x}As-On-Insulator MOSFETs on Si With Ni-InGaAs Metal S/D and MOS Interface Buffer Engineering and Its Scalability," *IEEE Trans. Electron Devices*, vol. 60, no. 8, pp. 2512–2517, Aug. 2013.
- [15] I. Ferain, C. A. Colinge, and J.-P. Colinge, "Multigate transistors as the future of classical metal–oxide–semiconductor field-effect transistors," *Nature*, vol. 479, no. 7373, pp. 310–316, Nov. 2011.
- [16] A. Vardi, X. Zhao, and J. A. del Alamo, "InGaAs Double-gate fin-sidewall MOSFET," 2014, pp. 219–220.
- [17] N. Waldron, C. Merckling, W. Guo, P. Ong, L. Teugels, S. Ansar, D. Tsvetanova, F. Sebaai, D. H. van Dorp, A. Milenin, D. Lin, L. Nyns, J. Mitard, A. Pourghaderi, B. Douhard, O. Richard, H. Bender, G. Boccardi, M. Caymax, M. Heyns, W. Vandervorst, K. Barla, N. Collaert, and A. -Y. Thean, "An InGaAs/InP quantum well FinFET using the replacement fin process integrated in an RMG flow on 300mm Si substrates," 2014, pp. 1–2.
- [18] Sung Dae Suk, Sung-Young Lee, Sung-Min Kim, Eun-Jung Yoon, Min-Sang Kim, Ming Li, Chang Woo Oh, Kyoung Hwan Yeo, Sung Hwan Kim, Dong-Suk Shin, Kwan-Heum Lee, Heung Sik Park, Jeong Nam Han, C. J. Park, Jong-Bong Park, Dong-Won Kim, Donggun Park, and Byung-Il Ryu, "High performance 5nm radius Twin Silicon Nanowire MOSFET (TSNWFET): fabrication on bulk si wafer, characteristics, and reliability," 2005, pp. 717–720.
- [19] P. Hashemi, L. Gomez, M. Canonico, and J. L. Hoyt, "Electron transport in Gate-All-Around uniaxial tensile strained-Si nanowire n-MOSFETs," 2008, pp. 1–4.

- [20] N. Waldron, C. Merckling, L. Teugels, P. Ong, S. A. U. Ibrahim, F. Sebaai, A. Pourghaderi, K. Barla, N. Collaert, and A. V.-Y. Thean, "InGaAs Gate-All-Around Nanowire Devices on 300mm Si Substrates," *IEEE Electron Device Lett.*, vol. 35, no. 11, pp. 1097–1099, Nov. 2014.
- [21] K. Tomioka, M. Yoshimura, and T. Fukui, "A III–V nanowire channel on silicon for high-performance vertical transistors," *Nature*, vol. 488, no. 7410, pp. 189–192, Aug. 2012.
- [22] J. W. Matthews, "Defects associated with the accommodation of misfit between crystals," *J. Vac. Sci. Technol.*, vol. 12, no. 1, p. 126, Jan. 1975.
- [23] G. Wang, R. Loo, E. Simoen, L. Souriau, M. Caymax, M. M. Heyns, and B. Blanpain, "A model of threading dislocation density in strain-relaxed Ge and GaAs epitaxial films on Si (100)," *Appl. Phys. Lett.*, vol. 94, no. 10, p. 102115, 2009.
- [24] J. M. Hartmann, J.-F. Damlencourt, Y. Bogumilowicz, P. Holliger, G. Rolland, and T. Billon, "Reduced pressure-chemical vapor deposition of intrinsic and doped Ge layers on Si(0 0 1) for microelectronics and optoelectronics purposes," *J. Cryst. Growth*, vol. 274, no. 1–2, pp. 90–99, Jan. 2005.
- [25] A. Nylandsted Larsen, "Epitaxial growth of Ge and SiGe on Si substrates," *Mater. Sci. Semicond. Process.*, vol. 9, no. 4–5, pp. 454–459, Aug. 2006.
- [26] E. A. Fitzgerald, M. T. Currie, S. B. Samavedam, T. A. Langdo, G. Taraschi, V. Yang, C. W. Leitz, and M. T. Bulsara, "Dislocations in Relaxed SiGe/Si Heterostructures," *Phys. Status Solidi A*, vol. 171, no. 1, pp. 227–238, Jan. 1999.
- [27] M. Tamura, T. Yodo, T. Saitoh, and J. Palmer, "Rearrangement of misfit dislocations in GaAs on Si by post-growth annealing," *J. Cryst. Growth*, vol. 150, Part 1, pp. 654–660, May 1995.
- [28] M. Yamaguchi, "Dislocation density reduction in heteroepitaxial III-V compound films on Si substrates for optical devices," *J. Mater. Res.*, vol. 6, no. 02, pp. 376–384, Feb. 1991.
- [29] D. Zhu, C. McAleese, K. K. McLaughlin, M. Häberlen, C. O. Salcianu, E. J. Thrush, M. J. Kappers, W. A. Phillips, P. Lane, D. J. Wallis, T. Martin, M. Astles, S. Thomas, A. Pakes, M. Heuken, and C. J. Humphreys, "GaN-based LEDs grown on 6-inch diameter Si (111) substrates by MOVPE," 2009, pp. 723118–723118–11.
- [30] V. K. Yang, M. Groenert, C. W. Leitz, A. J. Pitera, M. T. Currie, and E. A. Fitzgerald, "Crack formation in GaAs heteroepitaxial films on Si and SiGe virtual substrates," *J. Appl. Phys.*, vol. 93, no. 7, p. 3859, 2003.
- [31] R. T. Murray, C. J. Kiely, and M. Hopkinson, "General characteristics of crack arrays in epilayers grown under tensile strain," *Semicond. Sci. Technol.*, vol. 15, no. 4, p. 325, 2000.
- [32] C. Messmer and J. C. Bilello, "The surface energy of Si, GaAs, and GaP," *J. Appl. Phys.*, vol. 52, no. 7, pp. 4623–4629, Jul. 1981.

- [33] D. B. Holt, "Antiphase boundaries in semiconducting compounds," *J. Phys. Chem. Solids*, vol. 30, no. 6, pp. 1297–1308, Jun. 1969.
- [34] Y. Chriqui, "Intégration monolithique sur silicium d'émetteurs de lumière à base de GaAs par épitaxie en phase vapeur aux organométalliques sur pseudo-substrat de Ge/Si," Paris 6, 2004.
- [35] M. Kawabe and T. Ueda, "Self-Annihilation of Antiphase Boundary in GaAs on Si(100) Grown by Molecular Beam Epitaxy," *Jpn. J. Appl. Phys.*, vol. 26, no. Part 2, No. 6, pp. L944–L946, Jun. 1987.
- [36] D. Vanderbilt and C. Lee, "Energetics of antiphase boundaries in GaAs," *Phys. Rev. B*, vol. 45, no. 19, pp. 11192–11201, May 1992.
- [37] P. M. Petroff, "Nucleation and growth of GaAs on Ge and the structure of antiphase boundaries," *J. Vac. Sci. Technol. B*, vol. 4, no. 4, pp. 874–877, Jul. 1986.
- [38] T. H. Windhorn, G. M. Metze, B.-Y. Tsaur, and J. C. C. Fan, "AlGaAs double-heterostructure diode lasers fabricated on a monolithic GaAs/Si substrate," *Appl. Phys. Lett.*, vol. 45, no. 4, pp. 309–311, Aug. 1984.
- [39] D. G. Deppe, N. H. Jr, D. W. Nam, K. C. Hsieh, G. S. Jackson, R. J. Matyi, H. Shichijo, J. E. Epler, and H. F. Chung, "Room-temperature continuous operation of p-n Al_xGa_{1-x}As-GaAs quantum well heterostructure lasers grown on Si," *Appl. Phys. Lett.*, vol. 51, no. 9, pp. 637–639, Aug. 1987.
- [40] H. K. Choi, C. A. Wang, and N. H. Karam, "GaAs-based diode lasers on Si with increased lifetime obtained by using strained InGaAs active layer," *Appl. Phys. Lett.*, vol. 59, no. 21, pp. 2634–2635, Nov. 1991.
- [41] Y. Hasegawa, T. Egawa, T. Jimbo, and M. Umeno, "AlGaAs/GaAs light-emitting diode on a Si substrate with a self-formed GaAs islands active region grown by droplet epitaxy," *Appl. Phys. Lett.*, vol. 68, no. 4, pp. 523–525, Jan. 1996.
- [42] K. K. Linder, J. Phillips, O. Qasaimeh, X. F. Liu, S. Krishna, P. Bhattacharya, and J. C. Jiang, "Self-organized In_{0.4}Ga_{0.6}As quantum-dot lasers grown on Si substrates," *Appl. Phys. Lett.*, vol. 74, no. 10, pp. 1355–1357, Mar. 1999.
- [43] M. Richter, C. Rossel, D. J. Webb, T. Topuria, C. Gerl, M. Sousa, C. Marchiori, D. Caimi, H. Siegwart, P. M. Rice, and J. Fompeyrine, "GaAs on 200mm Si wafers via thin temperature graded Ge buffers by molecular beam epitaxy," *J. Cryst. Growth*, vol. 323, no. 1, pp. 387–392, May 2011.
- [44] W. Hu, B. Cheng, C. Xue, S. Su, Z. Liu, Y. Li, Q. Wang, L. Wang, J. Liu, J. Ding, G. Lin, and Z. Lin, "Epitaxy of In_{0.01}Ga_{0.99}As on Ge/offcut Si (001) virtual substrate," *Thin Solid Films*, vol. 520, no. 16, pp. 5361–5366, Jun. 2012.
- [45] B.-Y. Tsaur, "Heteroepitaxy of vacuum-evaporated Ge films on single-crystal Si," *Appl. Phys. Lett.*, vol. 38, no. 10, p. 779, 1981.

- [46] P. Sheldon, K. M. Jones, R. E. Hayes, B.-Y. Tsaur, and J. C. C. Fan, "Growth and patterning of GaAs/Ge single crystal layers on Si substrates by molecular beam epitaxy," *Appl. Phys. Lett.*, vol. 45, no. 3, p. 274, 1984.
- [47] P. Sheldon, B. G. Yacobi, K. M. Jones, and D. J. Dunlavy, "Growth and characterization of GaAs/Ge epilayers grown on Si substrates by molecular beam epitaxy," *J. Appl. Phys.*, vol. 58, no. 11, p. 4186, 1985.
- [48] E. Y. Chang, T.-H. Yang, G. Luo, and C.-Y. Chang, "A GeSi-buffer structure for growth of high-quality GaAs epitaxial layers on a Si substrate," *J. Electron. Mater.*, vol. 34, no. 1, pp. 23–26, Jan. 2005.
- [49] K. Eisenbeiser, R. Emrick, R. Droopad, Z. Yu, J. Finder, S. Rockwell, J. Holmes, C. Overgaard, and W. Ooms, "GaAs MESFETs fabricated on Si substrates using a SrTiO₃ buffer layer," *IEEE Electron Device Lett.*, vol. 23, no. 6, pp. 300–302, Jun. 2002.
- [50] E. A. Fitzgerald, Y.-H. Xie, M. L. Green, D. Brasen, A. R. Kortan, J. Michel, Y.-J. Mii, and B. E. Weir, "Totally relaxed Ge_xSi_{1-x} layers with low threading dislocation densities grown on Si substrates," *Appl. Phys. Lett.*, vol. 59, no. 7, p. 811, 1991.
- [51] S. B. Samavedam and E. A. Fitzgerald, "Novel dislocation structure and surface morphology effects in relaxed Ge/Si-Ge(graded)/Si structures," *J. Appl. Phys.*, vol. 81, no. 7, p. 3108, 1997.
- [52] M. T. Currie, S. B. Samavedam, T. A. Langdo, C. W. Leitz, and E. A. Fitzgerald, "Controlling threading dislocation densities in Ge on Si using graded SiGe layers and chemical-mechanical polishing," *Appl. Phys. Lett.*, vol. 72, no. 14, p. 1718, 1998.
- [53] S. B. Samavedam, M. T. Currie, T. A. Langdo, and E. A. Fitzgerald, "High-quality germanium photodiodes integrated on silicon substrates using optimized relaxed graded buffers," *Appl. Phys. Lett.*, vol. 73, no. 15, p. 2125, 1998.
- [54] J. M. Hartmann, B. Gallas, R. Ferguson, J. Fernández, J. Zhang, and J. J. Harris, "Gas-source molecular beam epitaxy of SiGe virtual substrates: I. Growth kinetics and doping," *Semicond. Sci. Technol.*, vol. 15, no. 4, pp. 362–369, Apr. 2000.
- [55] J. M. Hartmann, B. Gallas, J. Zhang, and J. J. Harris, "Gas-source molecular beam epitaxy of SiGe virtual substrates: II. Strain relaxation and surface morphology," *Semicond. Sci. Technol.*, vol. 15, no. 4, pp. 370–377, Apr. 2000.
- [56] C. Rosenblad, H. von Känel, M. Kummer, A. Dommann, and E. Müller, "A plasma process for ultrafast deposition of SiGe graded buffer layers," *Appl. Phys. Lett.*, vol. 76, no. 4, p. 427, 2000.
- [57] S. G. Thomas, S. Bharatan, R. E. Jones, R. Thoma, T. Zirkle, N. V. Edwards, R. Liu, X. D. Wang, Q. Xie, C. Rosenblad, J. Ramm, G. Isella, and H. Von Känel, "Structural characterization of thick, high-quality epitaxial Ge on Si substrates grown by low-energy plasma-enhanced chemical vapor deposition," *J. Electron. Mater.*, vol. 32, no. 9, pp. 976–980, Sep. 2003.

- [58] J. M. Hartmann, Y. Bogumilowicz, P. Holliger, F. Laugier, R. Truche, G. Rolland, M. N. Séméria, V. Renard, E. B. Olshanetsky, O. Estibals, Z. D. Kvon, J. C. Portal, L. Vincent, F. Cristiano, and A. Claverie, "Reduced pressure chemical vapour deposition of SiGe virtual substrates for high mobility devices," *Semicond. Sci. Technol.*, vol. 19, no. 3, pp. 311–318, Mar. 2004.
- [59] G. Isella, D. Chrastina, B. Rössner, T. Hackbarth, H.-J. Herzog, U. König, and H. von Känel, "Low-energy plasma-enhanced chemical vapor deposition for strained Si and Ge heterostructures and devices," *Solid-State Electron.*, vol. 48, no. 8, pp. 1317–1323, Aug. 2004.
- [60] D. Chrastina, G. Isella, M. Bollani, B. Rössner, E. Müller, T. Hackbarth, E. Wintersberger, Z. Zhong, J. Stangl, and H. von Känel, "Thin relaxed SiGe virtual substrates grown by low-energy plasma-enhanced chemical vapor deposition," *J. Cryst. Growth*, vol. 281, no. 2–4, pp. 281–289, Aug. 2005.
- [61] M. L. Lee, E. A. Fitzgerald, M. T. Bulsara, M. T. Currie, and A. Lochtefeld, "Strained Si, SiGe, and Ge channels for high-mobility metal-oxide-semiconductor field-effect transistors," *J. Appl. Phys.*, vol. 97, no. 1, p. 011101, 2005.
- [62] Y. Bogumilowicz, J. M. Hartmann, C. Di Nardo, P. Holliger, A.-M. Papon, G. Rolland, and T. Billon, "High-temperature growth of very high germanium content SiGe virtual substrates," *J. Cryst. Growth*, vol. 290, no. 2, pp. 523–531, May 2006.
- [63] G. Pin, O. Kermarrec, G. Chabanne, Y. Campidelli, J.-B. Chevrier, T. Billon, and D. Bensahel, "Si/SiGe growth by low-energy plasma-enhanced chemical vapor deposition," *J. Cryst. Growth*, vol. 286, no. 1, pp. 11–17, Jan. 2006.
- [64] R. M. Sieg, J. A. Carlin, J. J. Boeckl, S. A. Ringel, M. T. Currie, S. M. Ting, T. A. Langdo, G. Taraschi, E. A. Fitzgerald, and B. M. Keyes, "High minority-carrier lifetimes in GaAs grown on low-defect-density Ge/GeSi/Si substrates," *Appl. Phys. Lett.*, vol. 73, no. 21, p. 3111, 1998.
- [65] R. M. Sieg, "Toward device-quality GaAs growth by molecular beam epitaxy on offcut Ge/Si_{1-x}Gex/Si substrates," *J. Vac. Sci. Technol. B Microelectron. Nanometer Struct.*, vol. 16, no. 3, p. 1471, May 1998.
- [66] J. A. Carlin, S. A. Ringel, E. A. Fitzgerald, M. Bulsara, and B. M. Keyes, "Impact of GaAs buffer thickness on electronic quality of GaAs grown on graded Ge/GeSi/Si substrates," *Appl. Phys. Lett.*, vol. 76, no. 14, p. 1884, 2000.
- [67] J. A. Carlin, S. A. Ringel, E. A. Fitzgerald, and M. Bulsara, "High quality GaAs growth by MBE on Si using GeSi buffers and prospects for space photovoltaics," *Prog. Photovolt. Res. Appl.*, vol. 8, no. 3, pp. 323–332, May 2000.
- [68] S. M. Ting and E. A. Fitzgerald, "Metal-organic chemical vapor deposition of single domain GaAs on Ge/Ge_xSi_{1-x}/Si and Ge substrates," *J. Appl. Phys.*, vol. 87, no. 5, p. 2618, 2000.
- [69] J. . Carlin, S. . Ringel, A. Fitzgerald, and M. Bulsara, "High-lifetime GaAs on Si using GeSi buffers and its potential for space photovoltaics," *Sol. Energy Mater. Sol. Cells*, vol. 66, no. 1–4, pp. 621–630, Feb. 2001.

- [70] C. L. Andre, J. J. Boeckl, D. M. Wilt, A. J. Pitera, M. L. Lee, E. A. Fitzgerald, B. M. Keyes, and S. A. Ringel, "Impact of dislocations on minority carrier electron and hole lifetimes in GaAs grown on metamorphic SiGe substrates," *Appl. Phys. Lett.*, vol. 84, no. 18, p. 3447, 2004.
- [71] J. M. Olson, M. M. Al-Jassim, A. Kibbler, and K. M. Jones, "MOCVD growth and characterization of GaP on Si," *J. Cryst. Growth*, vol. 77, no. 1–3, pp. 515–523, Sep. 1986.
- [72] Y. Takagi, H. Yonezu, T. Kawai, K. Hayashida, K. Samonji, N. Ohshima, and K. Pak, "Suppression of threading dislocation generation in GaAs-on-Si with strained short-period superlattices," *J. Cryst. Growth*, vol. 150, pp. 677–680, May 1995.
- [73] T. Tsuji, H. Yonezu, and N. Ohshima, "Selective epitaxial growth of GaAs on Si with strained short-period superlattices by molecular beam epitaxy under atomic hydrogen irradiation," *J. Vac. Sci. Technol. B Microelectron. Nanometer Struct.*, vol. 22, no. 3, p. 1428, 2004.
- [74] J. F. Geisz, J. M. Olson, M. J. Romero, C. s. Jiang, and A. G. Norman, "Lattice-mismatched GaAsP Solar Cells Grown on Silicon by OMVPE," 2006, pp. 772–775.
- [75] Y. Komatsu, K. Hosotani, T. Fuyuki, and H. Matsunami, "Heteroepitaxial Growth of InGaP on Si with InGaP/GaP Step-graded Buffer Layers," *Jpn. J. Appl. Phys.*, vol. 36, no. Part 1, No. 9A, pp. 5425–5430, Sep. 1997.
- [76] Y. B. Bolkhovityanov and O. P. Pchelyakov, "GaAs epitaxy on Si substrates: modern status of research and engineering," *Phys.-Uspekhi*, vol. 51, no. 5, pp. 437–456, May 2008.
- [77] M. Tachikawa, H. Mori, M. Sugo, and Y. Itoh, "Continuous GaAs Film Growth on Epitaxial Si Surface in Initial Stage of GaAs/Si Heteroepitaxy," *Jpn. J. Appl. Phys.*, vol. 32, no. Part 2, No. 9A, pp. L1252–L1255, Sep. 1993.
- [78] P. J. Taylor, W. A. Jesser, J. D. Benson, M. Martinka, J. H. Dinan, J. Bradshaw, M. Lara-Taysing, R. P. Leavitt, G. Simonis, W. Chang, W. W. Clark, and K. A. Bertness, "Optoelectronic device performance on reduced threading dislocation density GaAs/Si," *J. Appl. Phys.*, vol. 89, no. 8, p. 4365, 2001.
- [79] M.-S. Hao, J.-W. Liang, L.-X. Zheng, L.-S. Deng, Z.-B. Xiao, and X.-W. Hu, "Photoluminescence Spectrum Study of the GaAs/Si Epilayer Grown by using a Thin Amorphous Si Film as Buffer Layer," *Jpn. J. Appl. Phys.*, vol. 34, no. Part 2, No. 7B, pp. L900–L902, Jul. 1995.
- [80] V. Joshkin, A. Orlikovsky, S. Oktyabrsky, K. Dovidenko, A. Kvit, I. Muhamedzanov, and E. Pashaev, "Biaxial compression in GaAs thin films grown on Si," *J. Cryst. Growth*, vol. 147, no. 1–2, pp. 13–18, Jan. 1995.
- [81] M. Akiyama, Y. Kwarada, and K. Kaminishi, "Growth of Single Domain GaAs Layer on (100)-Oriented Si Substrate by MOCVD," *Jpn. J. Appl. Phys.*, vol. 23, no. Part 2, No. 11, pp. L843–L845, Nov. 1984.

- [82] K. Akahori, G. Wang, K. Okumura, T. Soga, T. Jimbo, and M. Umeno, "Improvement of the MOCVD-grown InGaP-on-Si towards high-efficiency solar cell application," *Sol. Energy Mater. Sol. Cells*, vol. 66, no. 1–4, pp. 593–598, Feb. 2001.
- [83] K. Ma, R. Urata, D. A. B. Miller, and J. S. Harria, "Low-temperature growth of GaAs on Si used for ultrafast photoconductive switches," *IEEE J. Quantum Electron.*, vol. 40, no. 6, pp. 800–804, Jun. 2004.
- [84] W.-Y. Uen, Z.-Y. Li, Y.-C. Huang, M.-C. Chen, T.-N. Yang, S.-M. Lan, C.-H. Wu, H.-F. Hong, and G.-C. Chi, "Heteroepitaxial growth of GaAs on Si by MOVPE using a-GaAs/a-Si double-buffer layers," *J. Cryst. Growth*, vol. 295, no. 2, pp. 103–107, Oct. 2006.
- [85] T. Soga, S. Hattori, S. Sakai, M. Takeyasu, and M. Umeno, "Characterization of epitaxially grown GaAs on Si substrates with III-V compounds intermediate layers by metalorganic chemical vapor deposition," *J. Appl. Phys.*, vol. 57, no. 10, p. 4578, 1985.
- [86] M. Yamaguchi, M. Sugo, and Y. Itoh, "Misfit stress dependence of dislocation density reduction in GaAs films on Si substrates grown by strained-layer superlattices," *Appl. Phys. Lett.*, vol. 54, no. 25, p. 2568, 1989.
- [87] K. Nozawa and Y. Horikoshi, "Low Threading Dislocation Density GaAs on Si(100) with InGaAs/GaAs Strained-Layer Superlattice Grown by Migration-Enhanced Epitaxy," *Jpn. J. Appl. Phys.*, vol. 30, no. Part 2, No. 4B, pp. L668–L671, Apr. 1991.
- [88] Q. Jiang, A. J. Seeds, V. G. Dorogan, H. Liu, M. C. Tang, Y. I. Mazur, J. Wu, G. J. Salamo, M. Benamara, and S. M. Chen, "1.3 μm InAs/GaAs quantum-dot laser monolithically grown on Si substrates operating over 100°C," *Electron. Lett.*, vol. 50, no. 20, pp. 1467–1468, Sep. 2014.
- [89] M. Tang, G. Salamo, H. Liu, V. G. Dorogan, Q. Jiang, A. J. Seeds, J. Wu, S. Chen, M. Benamara, and Y. Mazur, "Optimisation of the dislocation filter layers in 1.3- μm InAs/GaAs quantum-dot lasers monolithically grown on Si substrates," *IET Optoelectron.*, vol. 9, no. 2, pp. 61–64, Apr. 2015.
- [90] J. Z. Li, J. Bai, J.-S. Park, B. Adekore, K. Fox, M. Carroll, A. Lochtefeld, and Z. Shellenbarger, "Defect reduction of GaAs epitaxy on Si (001) using selective aspect ratio trapping," *Appl. Phys. Lett.*, vol. 91, no. 2, p. 021114, 2007.
- [91] J.-S. Park, J. Bai, M. Curtin, B. Adekore, M. Carroll, and A. Lochtefeld, "Defect reduction of selective Ge epitaxy in trenches on Si(001) substrates using aspect ratio trapping," *Appl. Phys. Lett.*, vol. 90, no. 5, p. 052113, 2007.
- [92] J. Z. Li, J. Bai, C. Major, M. Carroll, A. Lochtefeld, and Z. Shellenbarger, "Defect reduction of GaAs/Si epitaxy by aspect ratio trapping," *J. Appl. Phys.*, vol. 103, no. 10, p. 106102, 2008.

- [93] Q. Li, K. W. Ng, and K. M. Lau, "Growing antiphase-domain-free GaAs thin films out of highly ordered planar nanowire arrays on exact (001) silicon," *Appl. Phys. Lett.*, vol. 106, no. 7, p. 072105, Feb. 2015.
- [94] T. Orzali, G. Wang, N. Waldron, C. Merckling, O. Richard, H. Bender, W.-E. Wang, and M. Caymax, "In Situ HCl Etching of InP in Shallow-Trench-Isolated Structures," 2011, pp. 345–354.
- [95] Z. Wang, B. Tian, M. Pantouvaki, W. Guo, P. Absil, J. Van Campenhout, C. Merckling, and D. Van Thourhout, "Room-temperature InP distributed feedback laser array directly grown on silicon," *Nat. Photonics*, vol. 9, no. 12, pp. 837–842, Oct. 2015.
- [96] M. Paladugu, C. Merckling, R. Loo, O. Richard, H. Bender, J. Dekoster, W. Vandervorst, M. Caymax, and M. Heyns, "Site Selective Integration of III–V Materials on Si for Nanoscale Logic and Photonic Devices," *Cryst. Growth Des.*, vol. 12, no. 10, pp. 4696–4702, Oct. 2012.

Chapitre 2

Epitaxie directe de GaAs sur substrat silicium (100)

Comme vu au chapitre 1, afin de s'affranchir de la présence de parois d'antiphase, plusieurs groupes de recherche se sont focalisés sur la croissance de GaAs sur des substrats de silicium (001) désorientés de quelques degrés. Malheureusement, ces substrats ne sont pas compatibles avec les procédés classiques de la microélectronique. Nous avons donc fait le choix, au vue des applications visées, d'effectuer nos croissances de GaAs sur des substrats (001) non désorientés, dits nominaux. Dans ce chapitre sera d'abord présentée la méthode conventionnelle d'hétéroépitaxie de GaAs sur silicium (001), puis sera exposé le développement de procédés limitant grandement la présence de parois d'antiphase à la surface du GaAs.

2.1 Croissance de GaAs en 2 étapes

2.1.1 Croissance par EPVOM

Toutes nos croissances sont réalisées par Epitaxie en Phase Vapeur aux OrganoMétalliques EPVOM (que l'on peut également indifféremment retrouver sous l'appellation en anglais MOVPE (MetalOrganic Vapour Phase Epitaxy), ou MOCVD (MetalOrganic Chemical Vapour Deposition). Ici, les constituants de la couche mince épitaxiée sont acheminés par phase gazeuse sous formes de molécules organométalliques. Dans notre cas, les sources d'éléments de type III sont le trimethylgallium (TMGa), le trimethylaluminium (TMAI) et le trimethylindium (TMIn) tandis que l'arsenic est apporté sous forme de tertiarybutylarsine (TBAs). Ces espèces chimiques sont contenues dans des bulleurs sous forme liquide (ou solide dans le cas du TMIn) à une température et une pression de fonctionnement propre à chaque molécule. Elles y sont en équilibre avec leur phase vapeur. Ces différents précurseurs sont transportés depuis leur bulleur jusqu'à la chambre de dépôt par un gaz vecteur, du dihydrogène (H_2) dans notre cas. Le réacteur dans lequel nos épitaxies sont réalisées est construit par Applied Materials. Il s'agit d'un réacteur à injection horizontale où le flux de gaz est laminaire et rase la surface du substrat de silicium de 300mm de diamètre. Ce dernier repose sur un suscepteur en graphite recouvert de carbure de silicium (SiC) tournant à 32 tours par minute pendant le dépôt. Ce suscepteur est lui-même chauffé par un banc de lampes situé en dessous de ce dernier. La pression de la chambre peut être réglée dans une gamme comprise entre 10 Torr et la pression atmosphérique.

La croissance par EPVOM peut se décomposer en plusieurs étapes élémentaires schématisées sur la figure 2.1, parmi elles : transport des précurseurs en phase gazeuse

vers la surface du substrat, pyrolyse des molécules organométalliques, diffusion et insertion des radicaux métalliques au sein du cristal et enfin, désorption des produits carbonés résiduels.

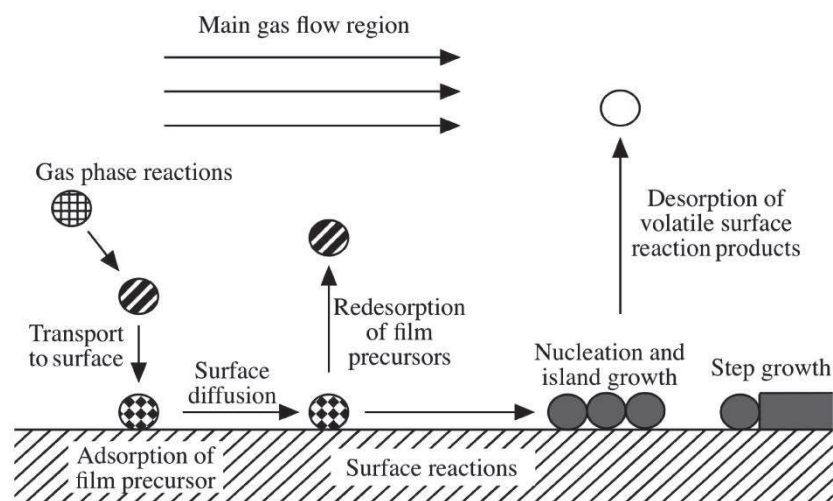


Figure 2.1 : Représentation schématique de la croissance par EVPOM [1].

On peut distinguer 3 régimes de vitesses de croissances suivant la température du substrat (figure 2.2) [2] (cas particulier de la croissance de GaAs) :

- $T_c < 550^\circ\text{C}$: La croissance est limitée par la pyrolyse des précurseurs et par la présence de sites libres d'adsorption sur la surface de croissance. La vitesse de croissance augmente exponentiellement quand la température augmente.
- $550^\circ\text{C} < T_c < 750^\circ\text{C}$: La vitesse de croissance atteint ici un plateau et ne dépend plus que du flux de précurseurs au sein du réacteur. C'est dans cette gamme que les vitesses de croissances les plus élevées sont obtenues.
- $T_c > 750^\circ\text{C}$: La vitesse de croissance chute car les mécanismes de croissance entrent en forte compétition avec les phénomènes de désorption des espèces à la surface du substrat.

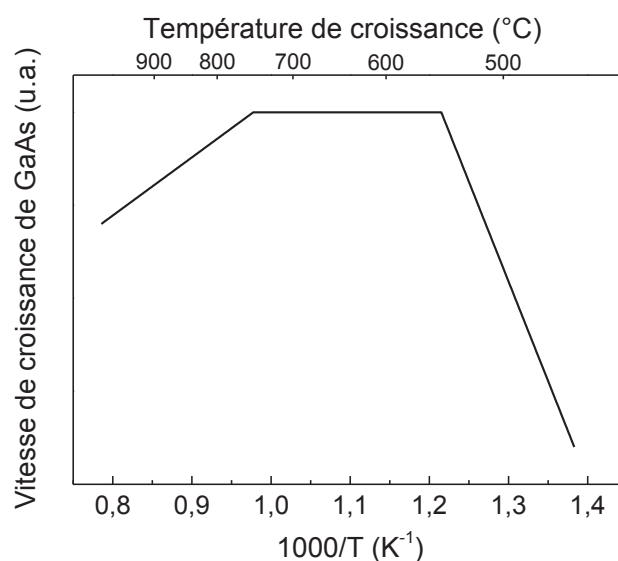


Figure 2.2 : Evolution schématique de la vitesse de croissance du GaAs (unité arbitraire u.a.) en fonction de la température de croissance (axe des ordonnées logarithmique).

A titre d'exemple, dans le cas de notre système, la vitesse de croissance est environ multipliée par un facteur 17 entre 350°C et 600°C.

2.1.2 Préparation du substrat

Désoxydation (SiCoNi™)

Une étape incontournable avant toute épitaxie est le retrait de la couche d'oxyde natif présente en surface des substrats de silicium. En effet, il existe une fine couche de SiO₂ (d'épaisseur 1 nm environ) qui se forme par oxydation et diffusion à la surface du silicium, au contact de l'oxygène de l'air. Cette couche de matériau amorphe est indésirable puisqu'elle empêche toute relation d'épitaxie entre le substrat de silicium cristallin et le matériau épitaxié. Dans l'industrie de la microélectronique, cet oxyde est retiré en milieu aqueux à l'aide d'une solution à base d'acide fluorhydrique (HF) dilué dans de l'eau ultra-pure qui va dissoudre cette couche de SiO₂. Dans notre cas, une méthode alternative est employée. Rattaché à la chambre d'épitaxie est installé un module de désoxydation du silicium (et du germanium) en voie sèche appelé SiCoNi™. Dans cette chambre, un plasma déporté, alimenté d'un mélange NH₃/NF₃, sert de source d'un mélange réactif NH₄F et/ou NH₄F.HF qui, en contact avec le SiO₂ natif du substrat, le consomme pour former une couche de sel ((NH₄F)₂SiF₆) à la surface du silicium [3]–[5]. Ce composé possède la particularité de se sublimer autour de 100°C. Il est donc ensuite éliminé par un chauffage modéré (100°C) du substrat (figure 2.3). Cette méthode a l'avantage de supprimer toute remise à l'air du silicium entre les étapes de retrait d'oxyde natif et d'épitaxie, contrairement à la préparation mettant en œuvre l'acide HF.

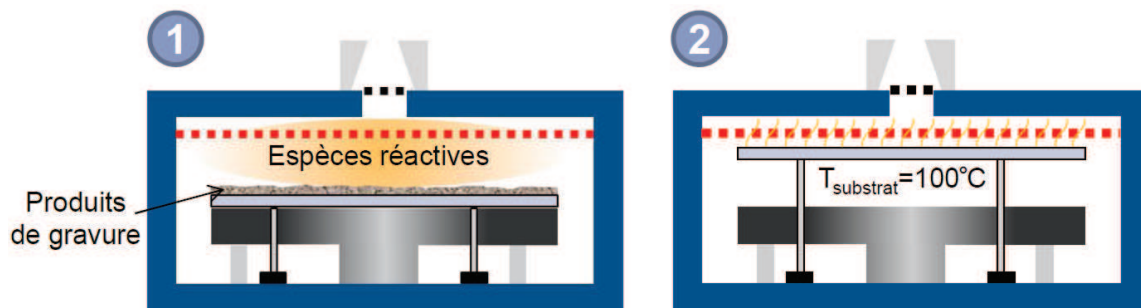


Figure 2.3 : Schéma de principe des deux étapes qui constituent le procédé SiCoNi [6].

Classiquement, l'hétéroépitaxie de GaAs sur Si (001) s'effectue via un procédé dit en deux étapes : une étape de nucléation à basse température suivi d'une étape de croissance à haute température [7]–[14].

2.1.3 Nucléation à basse température

Avant même toute étape de nucléation, la surface de silicium est exposée à un flux de TBAs à une température comprise entre 350°C et 450°C, ayant pour effet la formation d'une monocouche atomique d'arsenic. Ceci a pour but de polariser la surface

du substrat, rendant ainsi possible la croissance de GaAs. Cette croissance est autolimitée du fait de la faible affinité de l'arsenic avec lui-même [15].

Il a été montré [16], [17] que la nucléation du GaAs sur Si, à des températures supérieures à 300°C, se faisait sous forme d'îlots tridimensionnels sans couche de mouillage selon un mécanisme de Volmer-Weber (VW). Énergétiquement, cela se traduit par le fait que les énergies de surface du substrat (γ_s), de la couche épitaxiée (γ_f) et de l'interface entre les deux (γ_i) respectent l'inégalité (2.1).

$$\gamma_s < \gamma_f + \gamma_i \quad (2.1)$$

En d'autres termes, les interactions GaAs-GaAs sont plus favorables que les interactions GaAs-substrat. Il est supposé [18] que la faible valeur d'énergie de surface du substrat γ_s soit causée par la passivation de la surface de Si par sa préexposition à l'arsenic ou au gallium, étape nécessaire à la croissance du GaAs. Réalisant cela, plusieurs approches de la croissance de GaAs ont été étudiées par différents groupes de recherche. Parmi elles on retrouve (i) le passage par une épitaxie préliminaire de silicium [7], (ii) l'épitaxie alternative de monocouches de Ga et d'As (Atomic Layer Epitaxy, ALE) [8], (iii) la croissance de couches tampons amorphes de GaAs et de Si [9] et la plus répandue, (iv) le procédé en deux étapes débutant par la croissance d'une couche de nucléation à basse température (< 400°C) [7], [19], [20].

La figure 2.4 [21] illustre la comparaison entre nucléation à haute et à basse température. Dans le cas de la haute température, les îlots sont peu nombreux et de grande taille. Avant même leur coalescence et l'obtention d'un film continu, la relaxation plastique du GaAs par le biais de dislocations a déjà eu lieu au sein de ces îlots isolés. Lors de leur coalescence, ces défauts sont piégés et difficiles à supprimer via des recuits par exemple. En revanche, en limitant la diffusion des espèces en surface à basse température, on obtient des îlots plus petits et plus nombreux. La coalescence intervient avant la formation de dislocations qui n'apparaîtront qu'au sein d'une couche déjà continue. Ce réseau de défaut ainsi obtenu serait plus mobile et donc plus sujet à s'annihiler durant le reste de la croissance.

Nous avons réalisé plusieurs couches de nucléation à différentes températures afin d'étudier leurs propriétés. Les flux de précurseurs, la pression du réacteur et l'épaisseur moyenne (30 nm) de la couche sont maintenus constants. Seul changent à la fois la température et la vitesse de croissance (les deux étant liés). La figure 2.5 rassemble les images AFM de nucléations réalisées à 350, 375, 400 et 425°C.

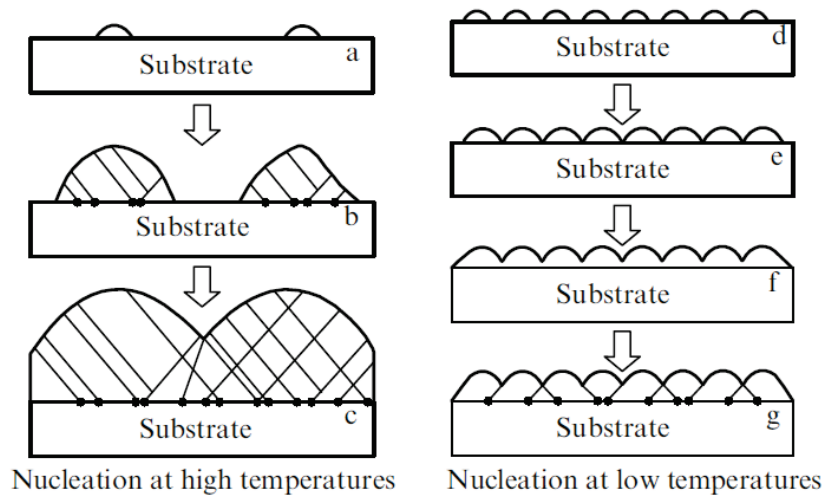


Figure 2.4 : Comparaison d'une nucléation de GaAs sur Si à haute et à basse température [21]. Les traits noirs traversant la couche représentent les dislocations émergentes, tandis que les points noirs à l'interface GaAs/Si représentent les dislocations d'adaptation du paramètre de maille (perpendiculaires au plan du schéma).

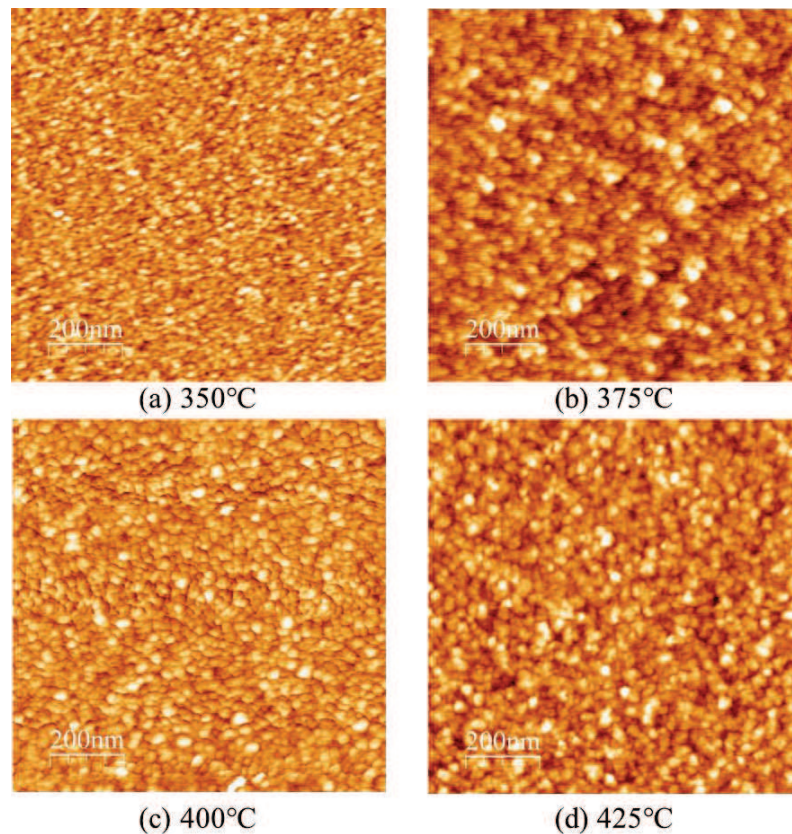


Figure 2.5 : Images AFM ($1 \times 1 \mu\text{m}^2$) de nucléations GaAs/Si à différentes températures.

Les couches de nucléations de GaAs se présentent bien sous la forme d'ilots qui recouvrent la surface du substrat de silicium. Le graphique en figure 2.6 montre les propriétés extraites de ces images.

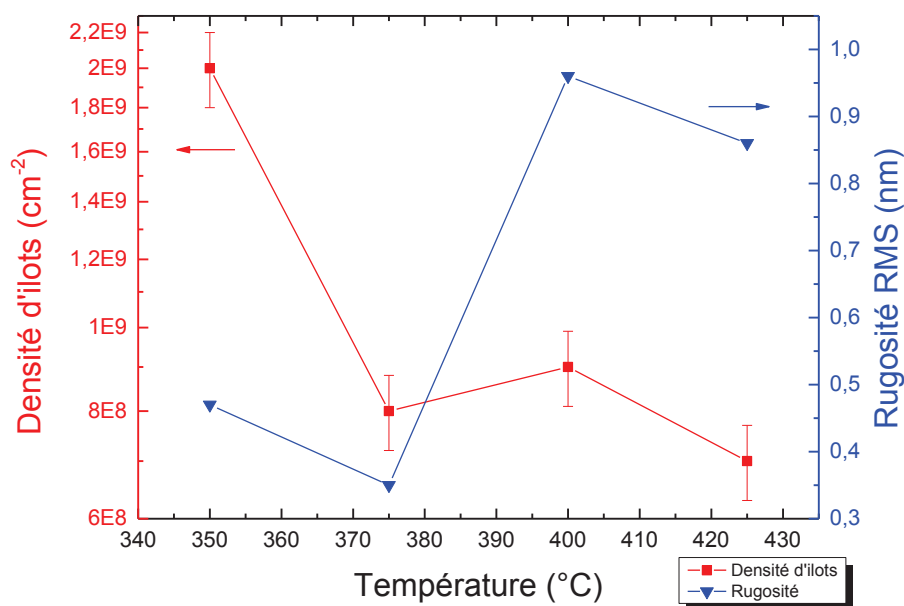


Figure 2.6 : Densité d'ilots et rugosité des couches de nucléation en fonction de la température de croissance.

Premièrement, on observe une chute de la densité d'ilots de nucléation entre la croissance à 350°C et celles effectuées entre 375°C et 425°C, qui elles semblent équivalentes. Il est certain qu'avec une épaisseur de 30 nm, les ilots ont déjà commencé à coalescer et on ne peut donc plus les distinguer individuellement de façon claire. Ce phénomène tend à niveler cette mesure de densité. La plus forte densité apparente de la croissance à 350°C s'accompagne d'une taille d'ilots plus faible, comme attendu, grâce à la limitation de la diffusion des espèces en surface à basse température.

Ensuite, la mesure de rugosité nous permet ici de traduire l'homogénéité en hauteur des ilots de nucléations, et il apparaît que les croissances à 350°C et 375°C soient les plus homogènes. Une faible rugosité est un bon critère de sélection d'une couche de nucléation puisque le reste de la croissance va être effectuée par-dessus. Néanmoins, aucune tendance claire n'est observée et pour interpréter ce résultat, il convient de raisonner en termes de diffusion de surface des atomes de GaAs. En effet, comme le rappelle la figure 2.4, une forte diffusion des espèces en surface entraîne une forte rugosité et à l'inverse, une faible diffusion de surface limite la rugosité de la couche de nucléation. Ici, la diffusion de surface des atomes de GaAs subit deux effets contradictoires liés à l'élévation de la température de nucléation. D'un côté, la diffusion de surface est augmentée par la plus grande énergie thermique apportée au système et de l'autre côté, la plus forte vitesse de croissance (causée par une température plus élevée) tend à limiter cette diffusion de surface. Afin de décorréler ces deux facteurs, il aurait fallu garder constantes les vitesses de croissance en modifiant les flux de précurseurs injectés dans la chambre.

La nucléation à 350°C nous apparaît comme la plus intéressante puisqu'elle est constituée de petits ilots denses et peu rugueux, malheureusement, à cette température la vitesse de croissance du GaAs est basse et il faut 15 minutes pour en déposer 30 nm. A

375°C en revanche, on réduit le temps de dépôt de 70% pour une épaisseur équivalente et une rugosité un peu plus faible. Or, industriellement, on cherche toujours à limiter la quantité de précurseurs consommée. On choisira donc 375°C comme température de nucléation pour le reste de nos épitaxies.

2.1.4 Croissance à haute température

Une fois la nucléation effectuée, on cherche à faire croître le reste de la couche de GaAs se rapprochant ici d'une homoépitaxie de GaAs sur GaAs. On se place donc dans la gamme de température classiquement utilisée, située sur le plateau où la vitesse de croissance ne dépend plus de la température (figure 2.2), idéalement entre 550°C et 750°C.

2.1.4.1 Effet de la montée en température

La montée en température entre la nucléation et la croissance à haute température (HT) se fait sous flux de TBAs et dure environ 2 minutes. La figure 2.7 montre l'état de surface de la couche de nucléation de 30 nm d'épaisseur après avoir subi la montée en température, avant le dépôt HT.

La rampe en température agit comme un recuit sur la couche de nucléation. Les ilots disparaissent tandis que les parois d'antiphase apparaissent. La rugosification marquée de la surface indique un mouvement (diffusion en surface et dans le volume) et une réorganisation de la matière (avec l'énergie thermique qui lui est fournie, le système va tendre à minimiser son énergie). Nous avons réalisé plusieurs recuits de la couche de nucléation à différentes températures dans les mêmes conditions que précédemment (figure 2.8).

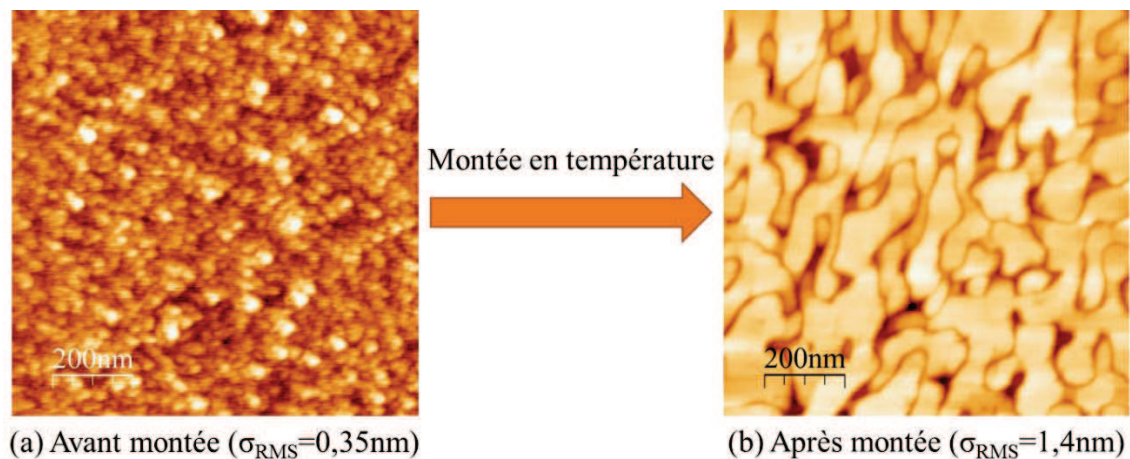


Figure 2.7 : Etat de surface de la couche de nucléation avant et après la montée à la température de croissance HT.

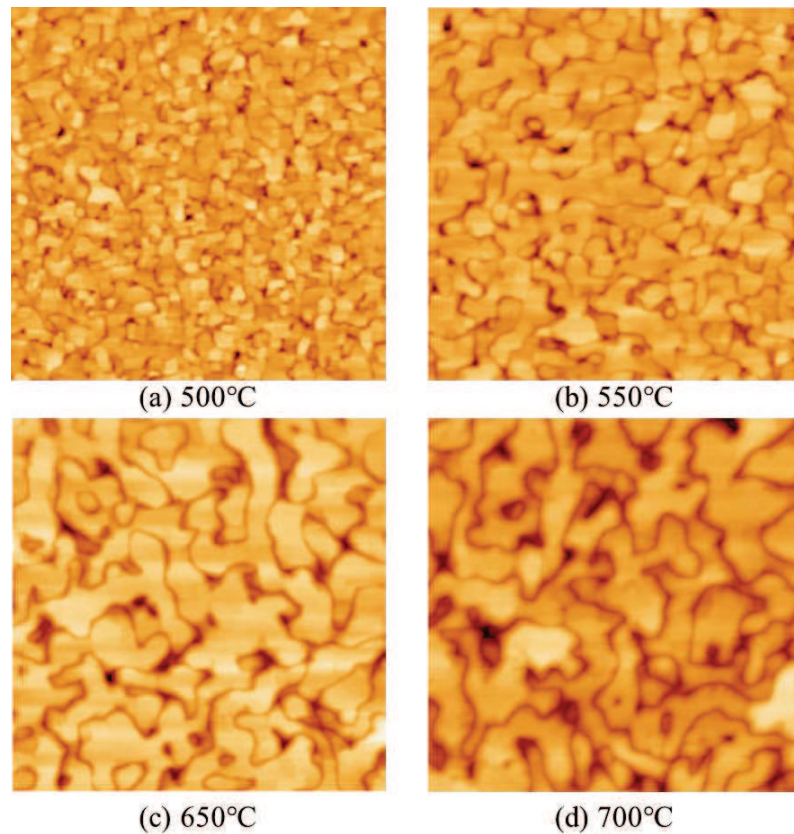


Figure 2.8 : Images AFM ($1\mu\text{m}^2$) de couches de nucléation (30nm) recuites à différentes températures.

Il apparaît clairement sur les images AFM que la température de ce recuit a un effet important sur la morphologie de la couche de nucléation. Les mesures effectuées sur ces couches sont regroupées dans le graphique en figure 2.9.

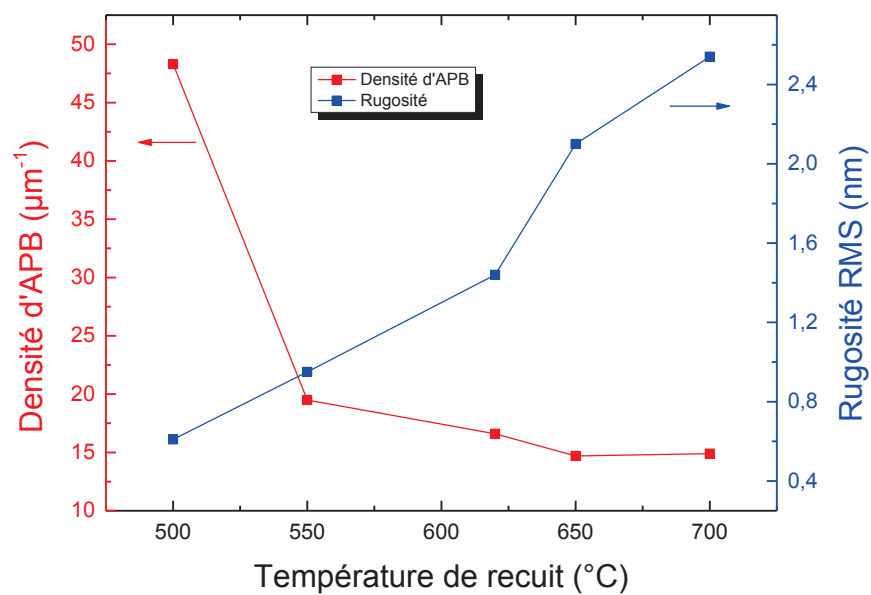


Figure 2.9 : Densité d'APB et rugosité des couches de nucléation après recuit à différentes températures.

On remarque d'abord que plus la température de recuit est élevée, plus la rugosité de surface de la couche de nucléation augmente. Cela peut être dû à une réorganisation de la matière plus importante à haute température, les atomes du cristal migrent vers des positions plus favorables énergétiquement, laissant derrière eux des parois d'antiphase plus profondément marquées, voire même des trous. D'un autre côté, on observe une diminution de la densité de parois d'antiphase (donc des domaines plus étendus) quand la température augmente. On peut faire ici le parallèle avec une croissance de grains dans un polycristal. Afin de minimiser son énergie interne, le système va, sous l'action de la température, tendre à réduire le nombre de ses domaines d'antiphase. Plus on donne d'énergie au système, i.e. à plus haute température, plus il va pouvoir se réorganiser et former des domaines plus grands et moins nombreux. Mais dans notre cas ce mécanisme a ses limites, le GaAs est un matériau sensible aux hautes températures et tend à se sublimer, ce qui peut également expliquer la plus forte rugosité observée pour des températures de recuit élevée.

La baisse de la densité de parois d'antiphase pour des recuits supérieurs à 620°C est très faible en comparaison avec l'augmentation de la rugosité de surface de la couche de nucléation. C'est pourquoi nous avons décidé de ne pas implémenter de recuit de la couche de nucléation à une température plus élevée que la température de croissance HT dans notre séquence de croissance.

A nouveau, nous nous retrouvons ici entre un compromis entre fournir de la mobilité aux atomes pour réduire l'énergie du système, et donc la densité de défauts dans le cristal (parois d'antiphase), et ne pas trop augmenter la rugosité de la surface.

2.1.4.2 Evolution de la densité d'APB avec l'épaisseur déposée

Une fois la montée en température effectuée, on démarre la croissance HT en injectant le précurseur de gallium qui vient s'ajouter au précurseur d'arsenic. La figure 2.10 montre des images typiques de GaAs sur Si après croissance HT.

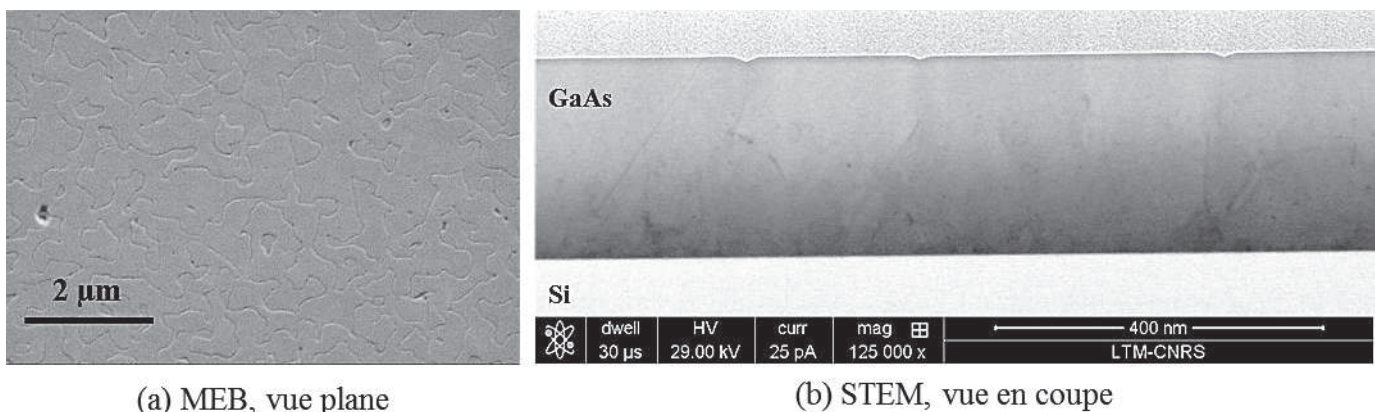


Figure 2.10 : Vues plane et en coupe d'une couche de GaAs (240 nm) épitaxiée sur Si.

L'image MEB en vue plane (figure 2.10.a) montre la signature caractéristique des parois d'antiphase sur la surface du GaAs. Sur l'observation STEM (figure 2.10.b), on peut voir les parois d'antiphase par le décrochement de 3 à 5 nanomètres qu'elles

laissent à la surface du GaAs. On peut suivre la paroi (ligne sombre) depuis l'interface GaAs/Si jusqu'à la surface de GaAs. On remarque que les parois changent une ou plusieurs fois d'orientation pendant la croissance.

Nous avons réalisé plusieurs croissances de GaAs simplement en faisant varier l'épaisseur totale de la couche (en jouant sur le temps de croissance HT) afin d'observer l'évolution de la densité d'APB (APBD pour *AntiPhase Boundaries Density*) avec l'épaisseur déposée. Les densités ont été extraites à partir des images AFM présentées en figure 2.11 puis regroupées dans le graphique de la figure 2.12 (carrés noirs). La densité d'APB décroît quand l'épaisseur de GaAs augmente en suivant une loi hyperbolique. Le modèle donné par la relation (2.2) (ligne pointillée) montre une bonne correspondance avec nos points expérimentaux et peut être donc considéré comme représentatif de notre système.

$$APBD (\mu m^{-1}) = \frac{561}{e(\mu m)} + 1,21 \quad (2.2)$$

La décroissance est forte pour de faibles épaisseurs car les APB étant très proches les unes des autres, la probabilité qu'elles s'annihilent deux à deux est forte. A plus grandes épaisseurs, les domaines grandissent et les parois s'éloignent ce qui rend leur annihilation moins probable. Néanmoins, afin de minimiser l'excès d'énergie introduit dans le cristal par les mauvaises liaisons Ga-Ga et As-As, la longueur des parois tend à diminuer [22].

On pourrait donc penser que pour supprimer les APB en surface des couches, il suffirait de déposer un film très épais de GaAs. Mais cela n'est pas réaliste car en plus des considérations de coûts (temps et précurseurs) viennent se rajouter des barrières physiques. En effet, la contrainte générée par la différence de coefficient de dilatation thermique entre GaAs et Si entraînerait l'apparition de fissures dans le matériau épitaxié [23]–[25]. De plus, le terme constant de la relation (2.2) semble suggérer que pour de très fortes épaisseurs de GaAs épitaxiées, la densité d'APB tendrait vers une limite non nulle pour notre système ($1,21 \mu m^{-1}$).

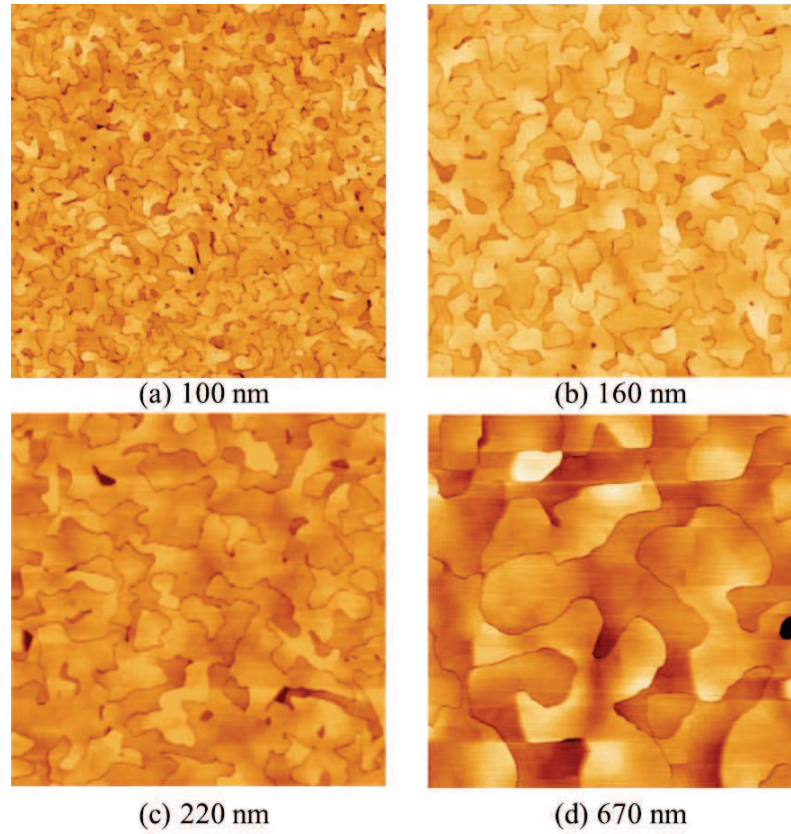


Figure 2.11 : Images AFM ($5 \times 5 \mu\text{m}^2$) de couche de GaAs de différentes épaisseurs.

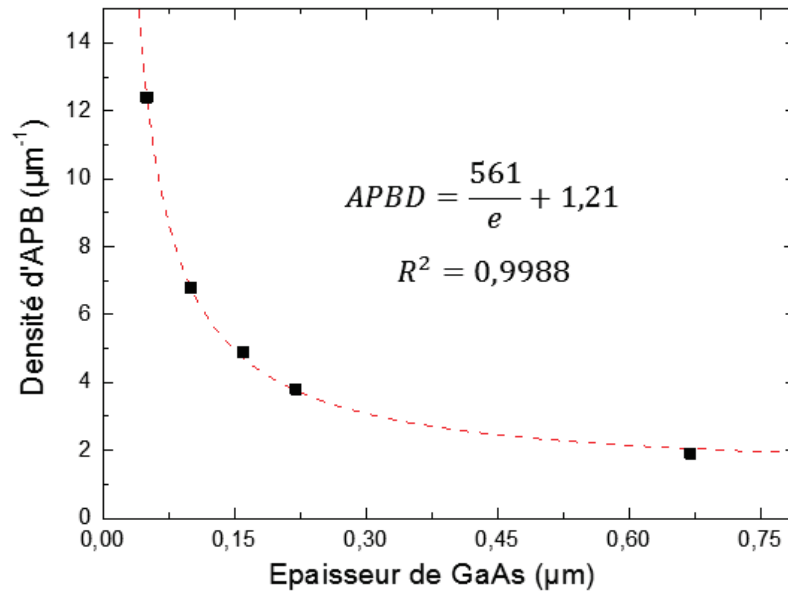


Figure 2.12 : Densité d'APB pour des couches de GaAs de différentes épaisseurs (e).

2.1.5 Traitements thermiques

Il a été montré que des traitements thermiques peuvent réduire significativement la densité de dislocations présentes dans les couches de GaAs épitaxiées sur Si [26]–[29]. En effet, l'énergie apportée par un recuit aide à relaxer les contraintes et entraîne un

réarrangement des atomes du cristal permettant la guérison des défauts. Nous avons donc réalisé une couche de GaAs/Si de 500 nm contenant des traitements thermiques dont la séquence de croissance est schématisée en figure 2.13.

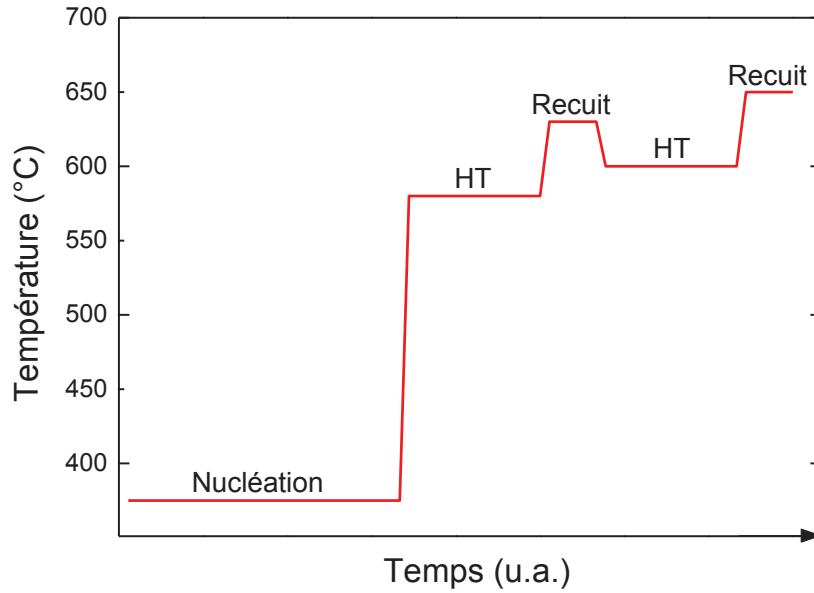


Figure 2.13 : Séquence schématique de croissance d'une couche de GaAs/Si (500 nm) incluant des traitements thermiques.

Afin d'observer l'effet de ces traitements thermiques sur la qualité de la couche, nous avons effectué des mesures de diffraction des rayons X (DRX), et plus particulièrement de « rocking curves » autour de la raie (004) du GaAs. Nous avons fait varier uniquement l'angle oméga autour du pic de diffraction de la couche de GaAs. En effet, la largeur à mi-hauteur (en anglais, Full Width at Half Maximum, FWHM) de ces pics de diffraction, dans cette configuration, est une image de la mosaïcité du cristal de GaAs. Plus cette valeur de FWHM est grande plus le cristal est defectueux. Les diffractogrammes de deux couches de GaAs/Si (500 nm), ayant subi ou non des traitements thermiques, sont présentés en figure 2.14. On y observe que le pic de diffraction du GaAs soumis à des recuits est plus fin, ce qui traduit une meilleure qualité cristalline. Un modèle [30] permettant d'estimer la densité de dislocations émergentes (en anglais, Threading Dislocation Density, TDD) du GaAs à partir de cette valeur de largeur à mi-hauteur est donnée par la relation (2.3).

$$TDD(cm^{-2}) = 1632 \times [FWHM(arcsec)]^2 \quad (2.3)$$

En utilisant ce modèle, on observe que la densité de dislocations émergentes a quasiment été divisée par deux grâce à l'utilisation de traitements thermiques pendant et après la croissance de GaAs (tableau 2.1). Il est cependant important de noter que ce modèle a été développé sur des couches de GaAs épitaxiée sur des substrats de silicium désorientés de 7°. Le GaAs est donc dénué de parois d'antiphase, ce qui n'est pas notre cas. Il est donc fortement probable que la présence de ces défauts dans nos couches entraîne une surestimation de la densité de dislocations émergentes via ce modèle.

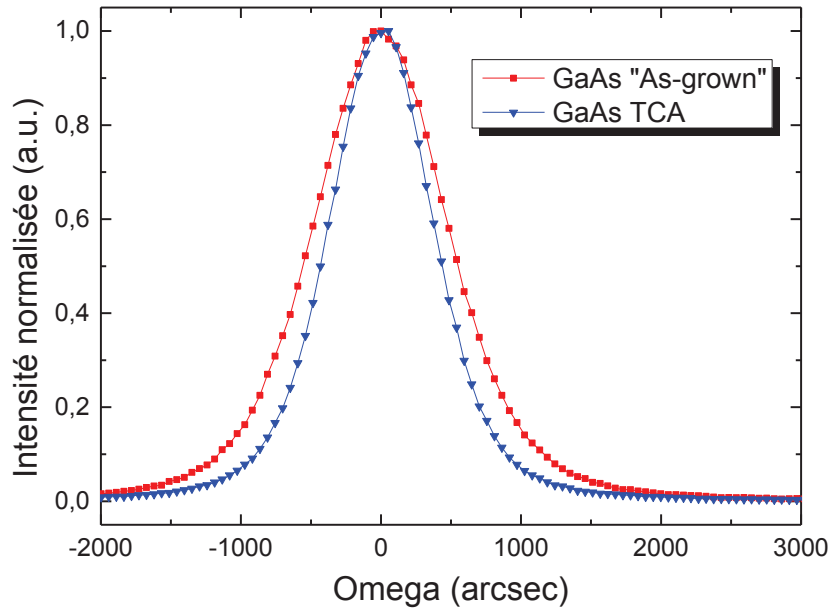


Figure 2.14 : DRX, « rocking curve » (004) de couches de GaAs/Si (500 nm) sans traitement thermique (carrés) et avec traitement thermique (triangles).

Echantillon	FWHM (arcsec)	TDD (cm ⁻²)
GaAs sans recuit	1126	2.10 ⁹
GaAs avec recuit	875	1,2.10 ⁹

Tableau 2.1 : Effet du recuit sur la densité de dislocations émergentes (GaAs (500nm)/Si)

Nous avons comparé ces valeurs de largeurs à mi-hauteur avec celles données dans la littérature. Dans le graphique présenté en figure 2.15, sont données les largeurs à mi-hauteur de couches de GaAs épitaxiées sur silicium par différentes équipes en fonction de leur épaisseur. Si on essaye de placer les valeurs de FWHM de nos couches de GaAs de 500 nm d'épaisseur sur le graphique, on voit qu'elles sont bien au-dessus des points des autres groupes, en dehors même du cadre. En d'autres termes, nos premiers essais d'épitaxie de GaAs selon la méthode conventionnelle de croissance en deux étapes ne semblent pas être au niveau de l'état de l'art en matière de qualité cristalline. Cet écart peut s'expliquer en partie par le fait que dans la plupart des cas présentés, le procédé de croissance utilisé est optimisé et des techniques visant à réduire la densité de dislocations émergentes sont employés (couche intermédiaire de silicium [31], super réseau de couches contraintes [32]–[35], traitements thermiques [10], [35]–[37]). Qui plus est, ce travail sur la croissance de GaAs sur silicium s'est principalement focalisé sur la réduction de la densité de parois d'antiphase, que nous allons présenter dans la suite de ce chapitre.

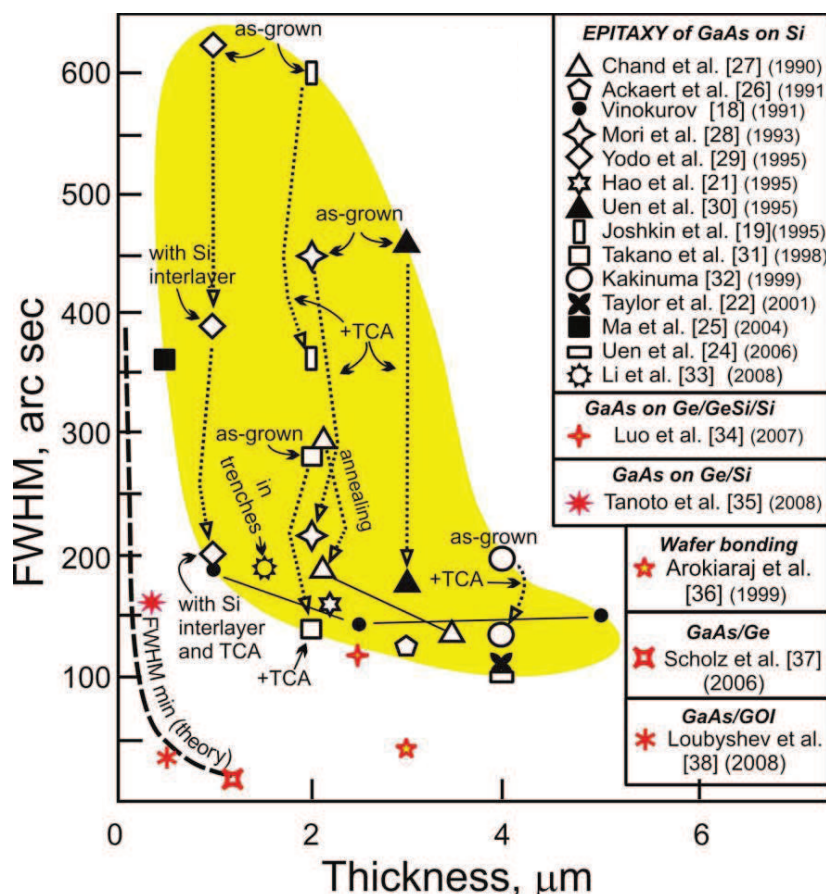


Figure 2.15 : Graphique représentant les largeurs à mi-hauteur de pics de diffraction RX (« rocking curve » (004)) de couches de GaAs obtenues par différentes équipes en fonction de l'épaisseur de GaAs déposée. La ligne pointillée représente la largeur théorique minimum pour une couche pseudomorphique sans défaut [38]. Nos points expérimentaux se situent hors du cadre.

Dans cette partie, nous avons étudié les différentes étapes de croissance de GaAs sur silicium (100) par MOVPE. Une initiation à basse température et forte pression permet l'obtention d'une première couche dense en ilots de nucléation et peu rugueuse. La montée en température qui la suit agit comme un recuit sur la couche, et les parois d'antiphase apparaissent. Le reste de la couche est épitaxié à haute température, et la densité de parois d'antiphase en surface du GaAs décroît proportionnellement à l'inverse de l'épaisseur déposée. Cette densité semble tendre vers une valeur non nulle ce qui traduit l'impossibilité de la suppression des parois d'antiphase en surface par des dépôts plus épais. Les densités de dislocations émergentes de nos couches, estimées par DRX, sont élevées en comparaison avec celles présentées dans la littérature mais nos efforts se sont portés sur la réduction des parois d'antiphase, que nous allons discuter plus en détail dans la suite de ce chapitre.

2.2 Minimisation des parois d'antiphase

Dans cette partie, nous nous intéresserons à différentes méthodes mises en œuvre en vue de réduire la densité de parois d'antiphase présentes à la surface de nos épitaxies de GaAs sur Si.

2.2.1 Croissances sur silicium (100) nominal

Afin d'améliorer la qualité cristalline des couches de GaAs et plus particulièrement de nous affranchir au maximum des parois d'antiphase présentes en surface, nous avons cherché à modifier ou à ajouter de nouvelles étapes au procédé standard présenté dans la section 2.1.

2.2.1.1 Recuit du substrat Si (100) avant croissance

Les épitaxies utilisent généralement des recuits de préparation de la surface du substrat sous hydrogène à chaud avant l'épitaxie proprement dite. Dans un premier temps, de par l'utilisation de la chambre SiCoNi™, nous nous sommes affranchis d'un tel recuit. En effet, la chambre SiCoNi™ permet d'éliminer l'oxyde natif des surfaces de silicium, mais une surface traitée par SiCoNi™ n'est pas reconstruite. De plus, nous avons voulu nous placer dans les mêmes conditions que celles employées pour la croissance de GaAs sur substrats désorientés de 4°. Nous avons donc implémenté un recuit du substrat avant tout dépôt de GaAs dans notre séquence de croissance. Ce recuit est effectué dans la chambre de dépôt à une température comprise entre 800°C et 950°C pendant 10 minutes, sous un balayage de dihydrogène. La suite du procédé reste inchangée.

Nous avons ainsi pu comparer une croissance effectuée sur un substrat recuit et non recuit (figure 2.16). Lorsque le GaAs est épitaxié sur un substrat non recuit, les domaines d'antiphase adoptent une disposition aléatoire, il ne semble pas exister de direction préférentielle dans leur arrangement. En revanche, quand le dépôt est effectué sur un substrat ayant subi un recuit sous H₂, les domaines d'antiphase se trouvent alignés entre eux selon une direction $\langle 100 \rangle$. On remarque également que certaines « bandes » de domaines d'antiphase commencent à fusionner.

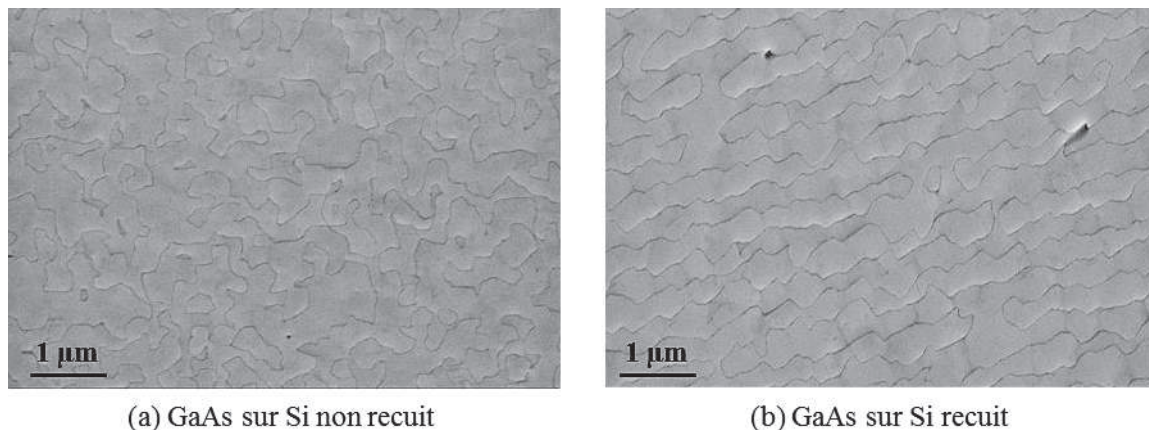


Figure 2.16 : Images MEB de surfaces de GaAs (220 nm) épitaxiées sur Si (100) non recuit (a) et préalablement recuit (b).

Afin de comprendre l'effet du recuit du substrat avant croissance, nous avons observé par AFM la surface du silicium recuit (figure 2.17.a). Cette surface est composée de terrasses d'une largeur de 180 nm environ séparées par des marches monoatomiques toutes alignées entre elles. Ici, elles forment un angle de 18° avec la direction cristalline $\langle 110 \rangle$. La longueur de ces terrasses nous donne une information sur la désorientation résiduelle du substrat par la relation (1.7). Ici on en déduit un angle résiduel de $0,04^\circ$.

$$L = \frac{a}{4 \tan \alpha} \quad (1.7)$$

Cet alignement de marches nous rappelle celui des parois d'antiphase présentes à la surface du GaAs. Cela est confirmé par l'observation d'une couche de nucléation de GaAs ayant subi une montée à la température de croissance HT (comme vu en section 2.1.4.1) en figure 2.17.b. Ici déjà, les parois d'antiphase sont alignées entre elles et les deux images semblent pouvoir se superposer. Cela n'est pas surprenant quand on sait que les parois d'antiphase prennent leur origine au niveau des marches monoatomiques du substrat. On en déduit ainsi que la morphologie des domaines d'antiphase est directement dépendante de la structure de surface du substrat silicium et on voit donc ici un moyen de contrôler et d'agir sur les parois d'antiphase même sur un substrat Si (100) nominal.

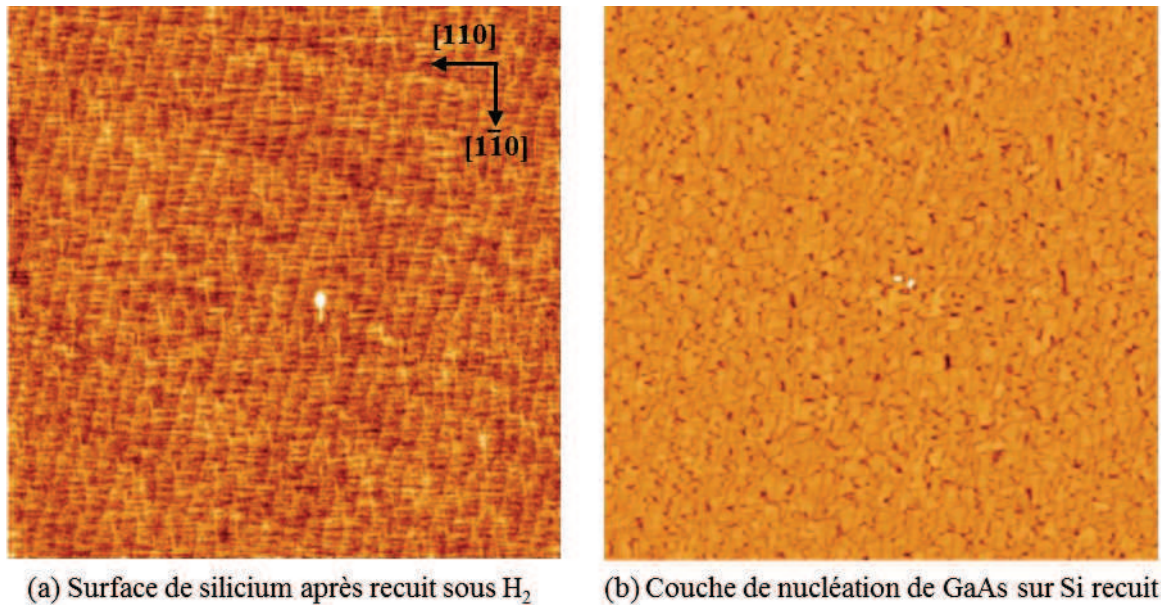
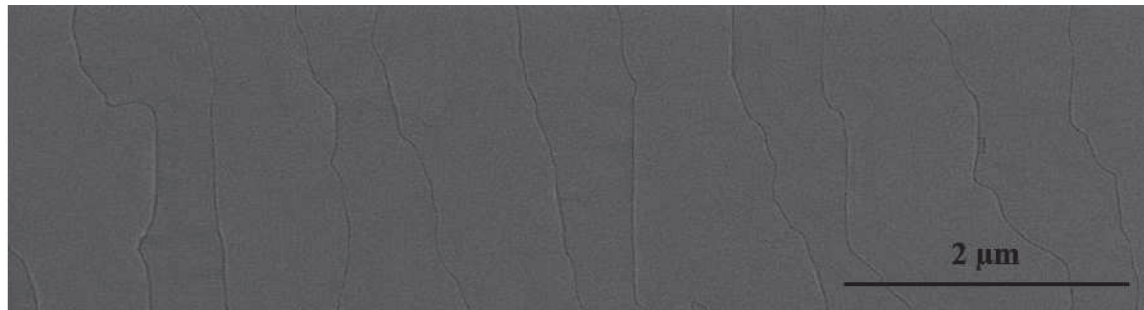


Figure 2.17 : Images AFM ($5 \times 5 \mu m^2$) d'une surface de silicium après un recuit sous H_2 (a) et d'une couche de nucléation de GaAs (30 nm) recuite.

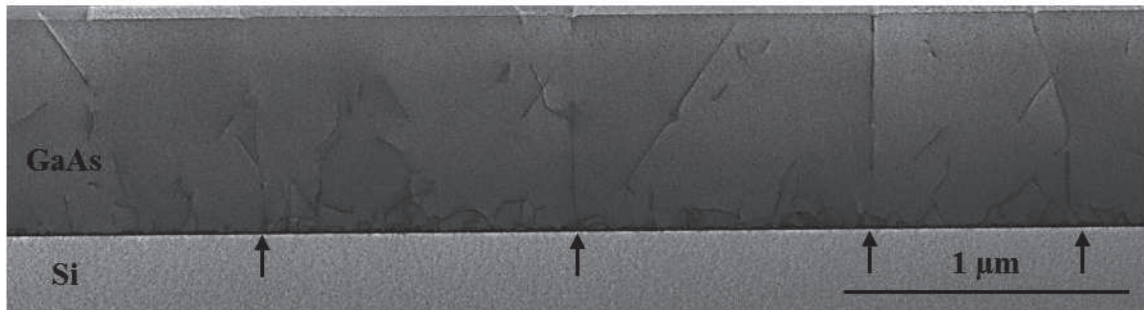
En résumé, sur un substrat de silicium nominal non recuit, il existe des marches monoatomiques mais celles-ci ne sont pas ordonnées. Elles résultent des étapes de découpe et de polissage menées pendant la fabrication de la plaquette. Lorsqu'une couche de GaAs est épitaxiée sur un tel substrat, les parois d'antiphase se forment au niveau de ces marches et conservent la disposition aléatoire de ces marches. En revanche, si le silicium subit un recuit, les marches monoatomiques en surface tendent à se réarranger en

accord avec la désorientation résiduelle de la plaquette (direction, longueur de terrasse). Dans les premiers temps de la croissance de GaAs, les parois d'antiphase conservent l'alignement et l'espacement des marches de silicium. Puis, dans un second temps, lors de la croissance HT, elles s'annihilent deux à deux jusqu'à ce qu'une distance critique les séparent. L'annihilation devient alors moins probable jusqu'à ne plus se produire même lorsque l'épaisseur augmente.

Pour des temps de croissance à haute température plus long, et donc des épaisseurs plus fortes (figure 2.18), ne restent en surface que quelques parois ($1,5 \mu\text{m}^{-1}$) espacées de plusieurs centaines de nanomètres formant des domaines alignés. Sur la coupe STEM correspondante (figure 2.18.b) on observe que les premiers nanomètres de GaAs forment une zone très défectueuse où les parois d'antiphase peuvent interagir et s'annihiler entre elles. De cette zone émerge régulièrement une paroi qui, n'ayant plus d'homologue avec qui s'annihiler, traverse toute la couche jusqu'à la surface.



(a) Image MEB d'une surface de GaAs (600 nm) épitaxiée sur Si(100) nominal recuit



(b) Image STEM en coupe de la même couche de GaAs.

Figure 2.18 : Vue de dessus (a) et vue en coupe (b) d'une couche de GaAs (500 nm) épitaxiée sur Si(100) recuit. Les flèches noires représentent le point de démarrage des parois d'antiphase qui émergent en surface.

2.2.1.2 Modification des paramètres de croissance

Si le recuit du substrat permet de modifier la morphologie des domaines d'antiphase, il ne permet pour le moment pas de diminuer leur densité à proprement parler. Nous cherchons donc à modifier les paramètres de croissance tels que l'épaisseur de la couche de nucléation ou la température HT afin de réduire leur présence en surface des couches de GaAs.

- Epaisseur de la couche de nucléation

Les mesures d'épaisseurs par éllipsométrie sur des couches de nucléation de GaAs sur Si recuit nous ont montré que ces dernières étaient moins épaisses que sur Si non recuit pour un même temps de croissance ; 17 nm contre 30 nm respectivement. Ceci peut être dû à une diminution de l'énergie de surface du substrat ou de la densité de sites de nucléation, entraînant un retard à la nucléation du GaAs. Nous avons donc pris en compte cette modification de vitesse de croissance de GaAs et ainsi obtenu une couche de 34 nm d'épaisseur en augmentant les flux de précurseurs tout en conservant le même rapport V/III. La figure 2.19 montre des images MEB de la surface de ces deux couches après avoir subi la montée à la température de croissance HT. Sur la couche la plus fine, les domaines d'antiphase forment des bandes alignées aux contours méandreaux. De plus, à l'intérieur de ces bandes, on trouve une multitude de petits domaines qui semblent sur le point de se refermer sur eux-mêmes. La densité de parois d'antiphase est ici de $14 \mu\text{m}^{-1}$. Par ailleurs, sur la couche la plus épaisse, on retrouve un alignement des parois d'antiphase mais sans la présence de petits domaines à l'intérieur des bandes. De plus, on distingue une prépondérance de l'un des domaines sur l'autre au lieu d'une alternance claire de domaines d'antiphase. Sur cette couche, la densité de parois est réduite à $10 \mu\text{m}^{-1}$ pour une épaisseur de 34 nm, contre $16 \mu\text{m}^{-1}$ pour une couche de nucléation de même épaisseur déposée sur Si non recuit (*cf.* 2.1.4.1).

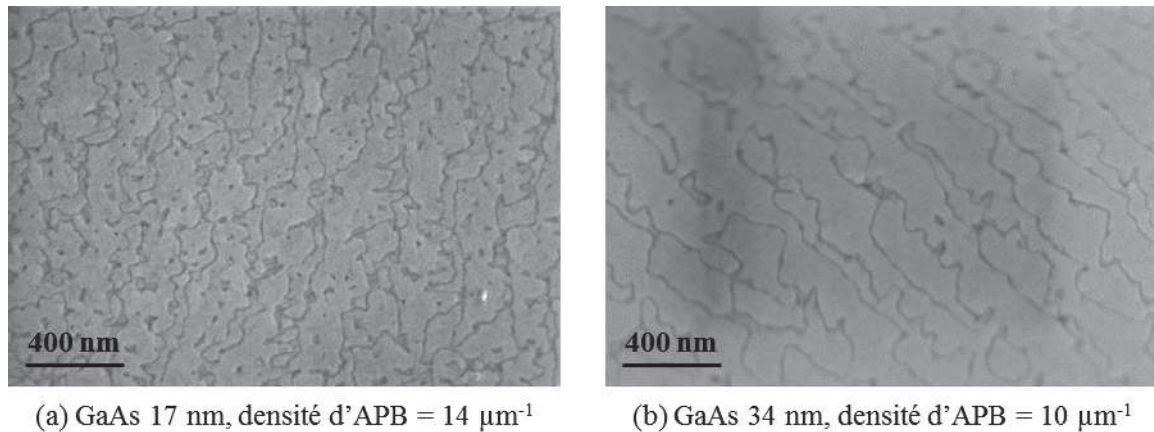


Figure 2.19 : Images MEB de GaAs/Si, couches de nucléation après montée à la température HT.

Ces images représentent l'état de surface du GaAs au moment du démarrage de la croissance HT, il apparaît donc plus judicieux de choisir une couche de nucléation plus épaisse afin d'entamer une croissance à haute température sur un matériau possédant moins de parois d'antiphase, et dont l'un des domaines semble prendre le dessus sur l'autre.

- Croissance haute température en deux étapes

Partant d'une couche de nucléation ayant une densité d'APB relativement faible et un arrangement de parois d'antiphase qui semble favoriser l'émergence d'un mono-domaine, nous nous sommes intéressés à l'étape de croissance à haute température.

L'orientation cristalline adoptée par les parois d'antiphase pendant la croissance étant régie par des phénomènes thermodynamiques, il nous a semblé judicieux de jouer sur la température du système pendant l'étape de croissance à haute température. Nous sommes donc partis d'un premier dépôt HT entre 580°C et 620°C (HT1) bien maîtrisé sur lequel nous avons ajouté une croissance à plus haute température (600°C-650°C, HT2). Les temps de croissances des couches HT1 et HT2 ont été adaptés afin que les épaisseurs des deux dépôts soient équivalentes. L'épaisseur totale de GaAs est comprise entre 350 nm et 500 nm.

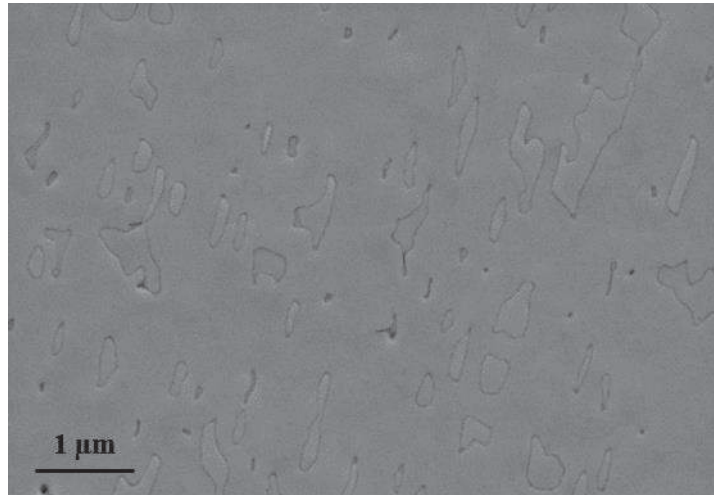


Figure 2.20 : Image MEB d'une couche de GaAs/Si (380 nm) dont la croissance haute température est effectuée en deux étapes à différentes températures.

$$\text{Densité d'APB} = 1,9 \mu\text{m}^{-1}.$$

La figure 2.20 montre une surface de GaAs/Si de 380 nm ayant été réalisée selon cette méthode. Cette surface, contrairement à toutes celles montrées jusqu'à présent, se compose d'un vaste domaine d'antiphase continu, à l'intérieur duquel on retrouve des parois formant des domaines d'antiphase relativement petits. La densité d'APB, de $1,9 \mu\text{m}^{-1}$, n'est pas négligeable. Néanmoins l'émergence d'un domaine prépondérant constitue un résultat important vers l'obtention d'une surface mono-domaine.

Afin de mieux observer l'effet de la division de la croissance HT en deux étapes à différentes températures, nous avons imagé par STEM une coupe d'une couche de GaAs/Si de 500 nm dont l'un des clichés est présenté en figure 2.21. Sur cette image ont été représentées les épaisseurs des dépôts haute température HT1 et HT2 ainsi que de la couche de nucléation (LT). Il est intéressant de noter qu'à partir du dépôt HT2, très peu de défauts sont présents dans la couche. De plus, on observe une paroi d'antiphase ayant rebouclée (ligne blanche pointillée) juste après la montée à la température HT2. La paroi située à droite de l'image (ligne sombre) montre de façon moins évidente le même comportement. On pourrait supposer que la modification de la quantité d'énergie apportée au système conduit à un changement d'orientation de ces parois et entraînerait leur rencontre et donc leur annihilation. Ou encore que ce changement de régime de croissance favorise le rétrécissement des domaines minoritaires en surface jusqu'à leur disparition afin de minimiser l'énergie interne du cristal.

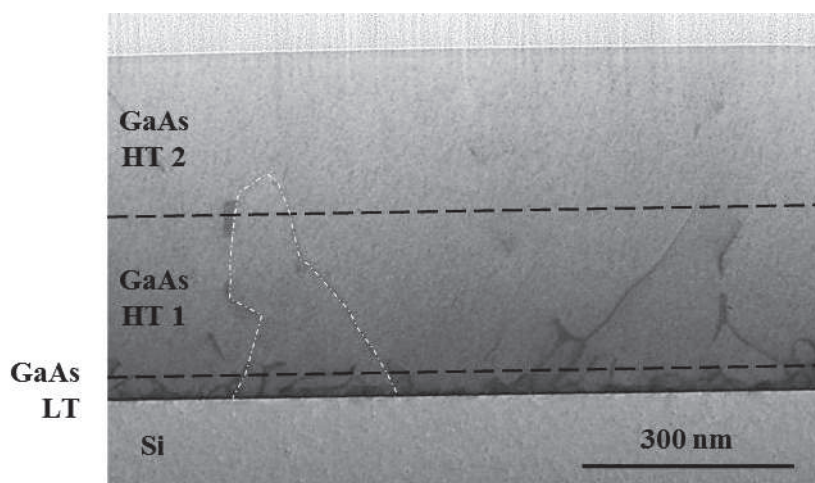


Figure 2.21 : Coupe STEM d'une couche de GaAs/Si (500 nm). Les épaisseurs correspondant aux différentes étapes de croissance sont symbolisées par les lignes noires pointillées. Une paroi d'antiphase ayant rebouclé est représentée par la ligne blanche pointillée.

Cette méthode s'avère efficace pour réduire la densité d'APB en surface du GaAs/Si et favoriser l'émergence d'un domaine prépondérant. Néanmoins, des problèmes de répétabilité rencontrés au cours de nos épitaxies ont posé la question de l'effet de la qualité intrinsèque du substrat de silicium.

2.2.1.3 Influence de la désorientation résiduelle du substrat Si(100)

Des écarts importants de morphologie et de densité de parois d'antiphase en surface de couches de GaAs/Si ont été observés pour des procédés équivalents. Ces changements ont eu lieu lors de croissances sur des substrats Si(100) issus de lots de substrats différents (figure 2.22).

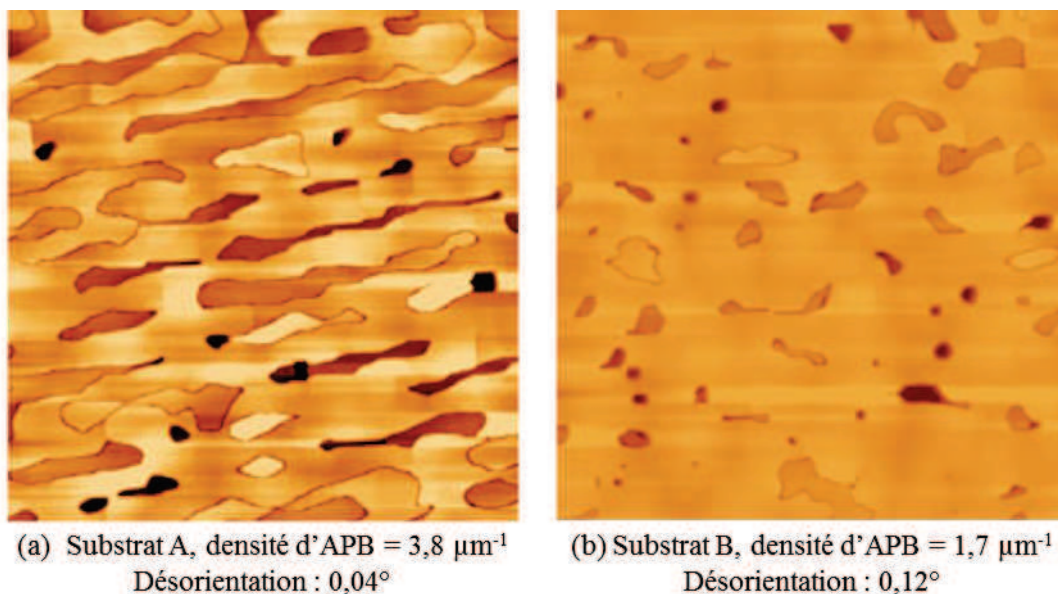


Figure 2.22 : Images AFM ($5 \times 5 \mu\text{m}^2$) de couches de GaAs/Si (350 nm) réalisées selon des procédés similaires sur des substrats Si(100) issus de deux lots de substrats différents.

Les surfaces des substrats commerciaux de silicium nominal sont dites exactement orientées selon la direction (100) mais il existe en réalité une désorientation résiduelle due au découpage du lingot de silicium cristallin en substrats. Lors de l'acquisition d'un lot de substrats, l'orientation de la surface de silicium est donnée avec une certaine tolérance, par exemple $\pm 0,5^\circ$. Après vérification, il s'est avéré que le substrat noté A possédait une désorientation résiduelle de $0,04^\circ$ contre $0,12^\circ$ pour le substrat B. Cette différence pourrait être à l'origine des écarts observés. L'expression (1.7), qui permet de calculer la distance caractéristique séparant deux marches consécutives en fonction de l'angle de désorientation du substrat, donne une densité de marche 3 fois plus importante sur le substrat B désorienté de $0,12^\circ$ que sur le substrat A désorienté de $0,04^\circ$. A priori, on pourrait donc penser que le GaAs épitaxié sur le substrat B possède une densité de parois d'antiphase plus élevée que celui épitaxié sur le substrat A. Or, on observe la tendance inverse. La plus forte densité de marches à la surface du substrat B s'accompagne d'une largeur moyenne de terrasse plus courte, c'est-à-dire d'une distance entre les marches plus faible ; 65 nm (B) contre 195 nm (A). Les parois d'antiphase générées sur le substrat B sont plus proches les unes des autres et possèdent donc une plus forte probabilité de rencontre et d'annihilation que sur le substrat A. A tel point que le GaAs, après les étapes de croissance HT1 et HT2, présente une densité d'APB plus faible sur le substrat désorienté de $0,12^\circ$ que sur le substrat désorienté de $0,04^\circ$.

Cet effet pourrait donc être la cause d'une densité de parois d'antiphase plus faible dans le cas de l'utilisation d'un substrat présentant une désorientation résiduelle plus grande. Néanmoins, ces résultats impliquent qu'une sélection préalable des substrats sur un critère d'angle de désorientation est nécessaire afin d'obtenir un GaAs de bonne qualité.

2.2.1.4 Température du recuit avant croissance

On a pu voir que l'état de surface du silicium possède un rôle clef dans l'arrangement des domaines d'antiphase en surface du GaAs. La structuration de cette surface prend place lors du recuit sous dihydrogène du substrat avant la croissance de GaAs, il paraît donc nécessaire d'optimiser cette étape et en particulier sa température. Nous avons donc testé 3 températures de recuit sur des substrats issus du même lot et étant tous désorientés de $0,12^\circ$. Une couche de GaAs de 460 nm environ a ensuite été épitaxiée selon le procédé permettant de réduire la densité d'APB décrit précédemment (LT + HT1 + HT2). Les images AFM de ces 3 échantillons sont regroupées en figure 2.23. Dans le cas d'un recuit à 800°C (a), des parois d'antiphase sont toujours présentes à la surface du GaAs avec une densité de $1,6 \mu\text{m}^{-1}$, proche de ce qui a été présenté dans la section précédente. Puis, pour une température de 940°C (b), les APB semblent avoir disparu de la surface mais des trous (40 nm de profondeur environ) sont maintenant visibles à la surface du GaAs. Enfin, à la température de recuit intermédiaire de 870°C (c), la surface de GaAs ne montre ni de trous ni de parois d'antiphase. On observe bien les marches atomiques du GaAs dont certaines forment des spirales caractéristiques de dislocations émergentes [39].

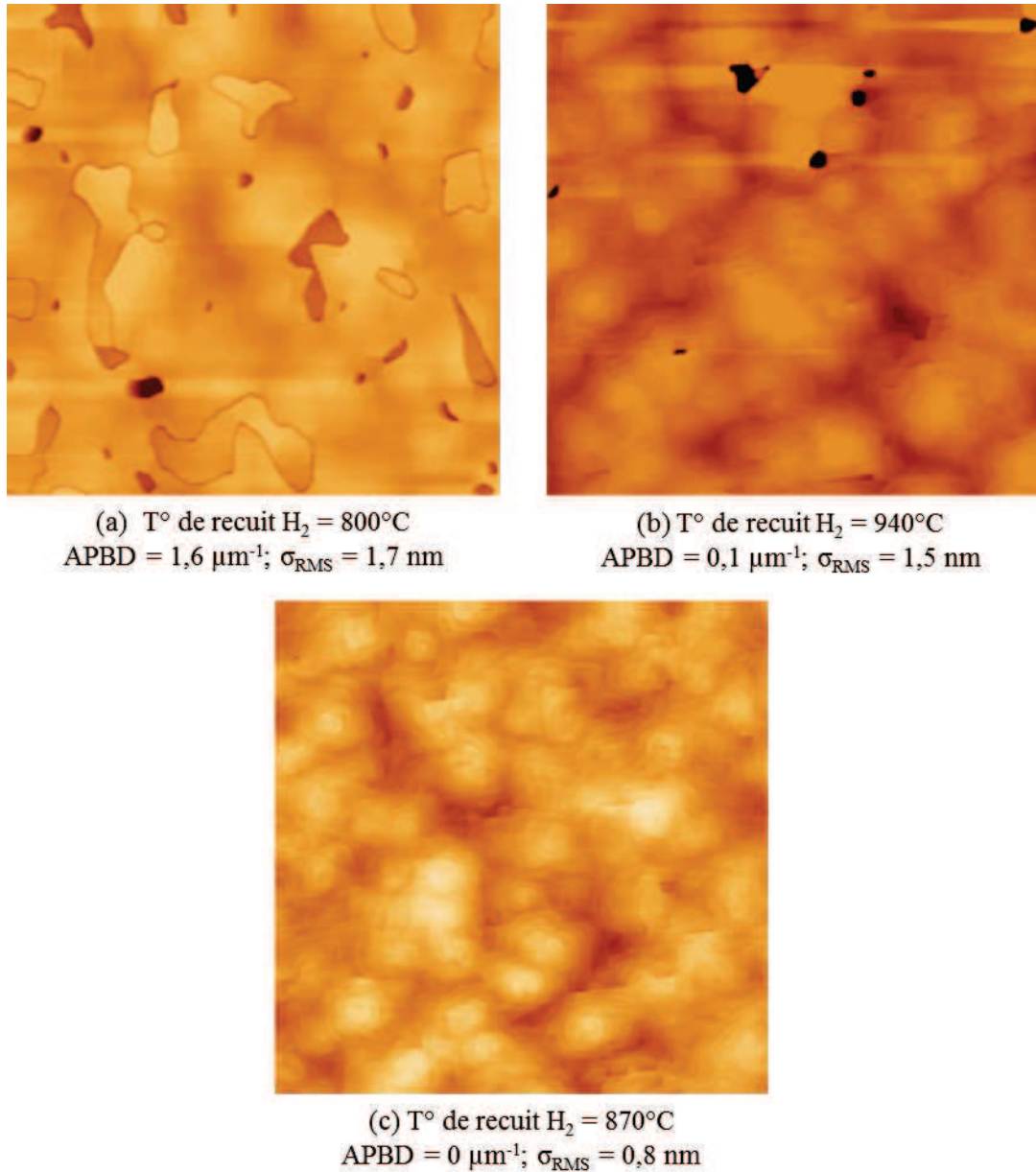


Figure 2.23 : Images AFM ($5 \times 5 \mu\text{m}^2$) de GaAs (460 nm) épitaxié sur Si(100) (désorientation résiduelle : $0,12^\circ$) recuit sous H_2 à 800°C (a), 940°C (b) et 870°C (c)

Dans ce dernier cas, la température du recuit sous H_2 semble très favorable à l'obtention d'une surface de GaAs mono-domaine. En revanche, si on s'écarte de quelques dizaines de degrés de cette température idéale, la qualité de la couche est altérée. A une température trop basse, le réarrangement de la surface du substrat ne s'effectue pas ou est incomplet, la forte annihilation des APB dans les premiers temps de la croissance est alors impossible et il en découle la présence de domaines d'antiphase en surface du GaAs. D'un autre côté, à trop haute température, malgré le réarrangement favorable de la surface du substrat et l'absence d'APB, des trous font leur apparition à la surface du GaAs. Ils sont sans doute liés à un retard à la croissance dû une dégradation localisée du silicium sous le trou. En effet, à de fortes température, des espèces réactives comme le gallium peuvent se désorber des parois du réacteur et venir graver le substrat pendant l'étape de recuit. Le recuit du substrat de silicium avant croissance est une étape déterminante et

sensible du procédé aboutissant à une couche de GaAs sans parois d'antiphase. Il convient donc de l'effectuer à une température suffisante pour que la surface du substrat se réarrange mais sans dépasser un seuil où l'ambiance de la chambre devient susceptible de dégrader le silicium par la présence de contaminant.

Dans cette section, nous avons étudié un procédé permettant l'obtention d'une couche de GaAs de moins de 500 nm, épitaxiée sur un substrat de silicium et ne présentant plus de parois d'antiphase en surface. Les éléments déterminants sont tout d'abord le recuit du substrat de silicium avant croissance, qui permet un réarrangement de sa surface en terrasses, alignées ce qui semble favoriser une forte annihilation des APB dans les premiers nanomètres de la couche. La température de ce recuit doit être suffisamment importante pour permettre cette modification de surface, sans pour autant la dégrader. Vient ensuite le dépôt de la couche de nucléation à basse température, qui doit être assez épais pour avoir une densité d'APB relativement faible et favoriser l'émergence d'un domaine prépondérant. L'épaisseur de 35 nm environ présentée ici semble être adéquate. Enfin, l'essentiel de l'épaisseur est ensuite déposée à haute température. La scission de ce dépôt en deux étapes, d'abord HT1 puis HT2 (plus chaud d'une trentaine de degrés) permet de faire reboucler les parois non annihilées lors des étapes précédentes. Cette méthode d'obtention de GaAs sans APB reste néanmoins très sensible au changement de conditions expérimentales, la plus critique étant la désorientation résiduelle du substrat Si(100). Dans notre cas, il n'a été possible d'obtenir une surface de GaAs mono-domaine seulement pour des désorientations supérieures à $0,1^\circ$.

2.2.2 Croissance sans parois d'antiphase

Dans cette partie, nous chercherons à utiliser la désorientation des substrats de silicium afin de nous affranchir des parois d'antiphase. En premier lieu seront étudiées les désorientations fortes (4° environ). Puis nous nous concentrerons sur l'effet de désorientations résiduelles faibles ($0,1^\circ$ environ) bien particulières de substrats nominaux (100).

2.2.2.1 Croissance de GaAs sur substrat désorienté

Comme vu dans le premier chapitre, un des moyens les plus courants de s'affranchir de la présence de parois d'antiphase est l'utilisation de substrats de silicium désorientés de quelques degrés. Dans le cadre de cette étude, une désorientation de 4° dans la direction $\langle 110 \rangle$ a été choisie.

Afin de former les doubles marches atomiques à la surface du substrat désorienté, un traitement thermique est nécessaire comme le montre la figure 2.24. En effet, quand la croissance est effectuée sur un substrat désorienté non recuit, des parois d'antiphase sont présentes tandis qu'elles n'apparaissent plus dans le cas d'un substrat recuit.

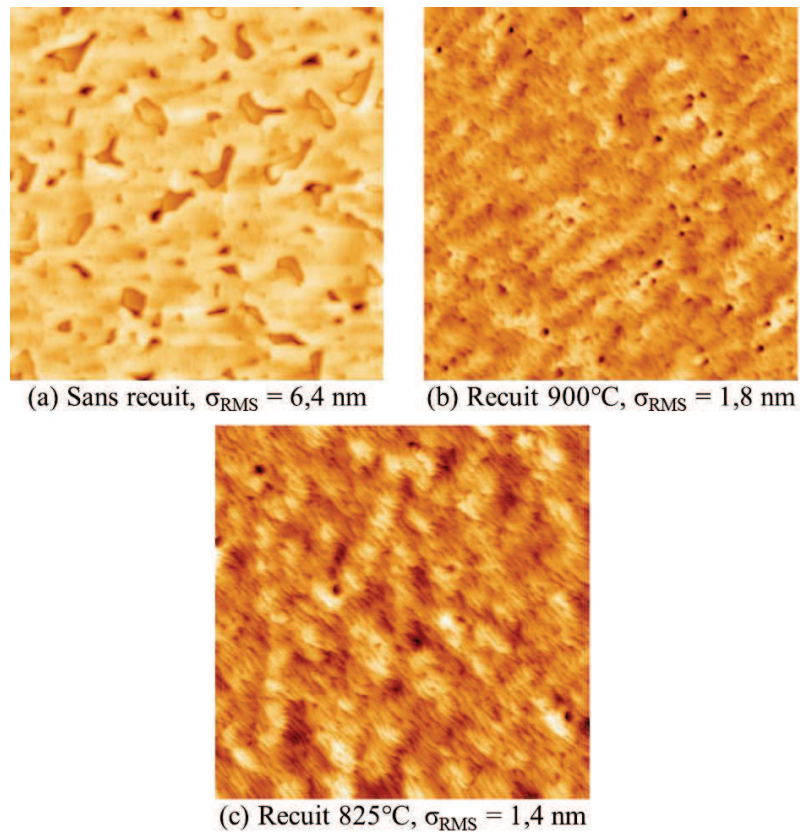


Figure 2.24 : Images AFM ($5 \times 5 \mu\text{m}^2$) de GaAs (220nm) sur Si désorienté (4°) sans recuit préalable du substrat (a), recuit à 900°C (b) et recuit à 825°C (c).

Deux températures de recuit ont été utilisées. Lorsque le substrat est recuit à la température la plus élevée, on observe une densité de trous en surface importante et une plus forte rugosité que dans le cas d'une température de recuit plus faible. Il est possible qu'un recuit à trop forte température endommage le substrat et crée ces défauts. En effet, la désorption de contaminant, et notamment de gallium, des parois du réacteur et leur migration vers la surface de silicium pourraient être à l'origine de dégradations ponctuelles du substrat.

Comme illustré dans la figure 2.25, la surface du GaAs épitaxié sur nos substrats désorientés présente des marches dont la hauteur est de l'ordre du nanomètre, trop élevée donc pour qu'il s'agisse de marches biatomiques. De plus, la largeur théorique des terrasses séparant des marches biatomiques sur une surface de GaAs désorientée de 4° est de l'ordre de 4 nm. Or, on mesure sur nos échantillons une largeur moyenne de 25 nm. On est donc en présence d'un phénomène d'accumulation de marches (*step-bunching* en anglais). Chua *et al.* observent cet effet dans le cas d'homoépitaxie GaAs sur GaAs désorienté [40]. Lors de la croissance de GaAs, les marches atomiques, proches les unes des autres à cause de la désorientation, ont tendance à se regrouper par paquet. C'est ce qui crée des surfaces composées de terrasses plus larges et de marches plus hautes que théoriquement.

La croissance de GaAs sur substrats de silicium désorientés, bien qu'efficace pour s'affranchir des parois d'antiphase, ne nous paraît pas satisfaisante dans notre cas. En

effet, la rugosité de ces couches est identique à celles épitaxiées sur silicium nominal qui présentent des parois d'antiphase, responsables d'une partie de cette rugosité. De plus, les applications majeures visées pour ces matériaux dans le cadre de cette étude concernent la microélectronique. Or, les substrats désorientés ne sont pas utilisables dans les chaînes de fabrication des composants. Ces raisons nous poussent donc à trouver des alternatives permettant d'améliorer la qualité des couches en utilisant des substrats Si(100) nominaux.

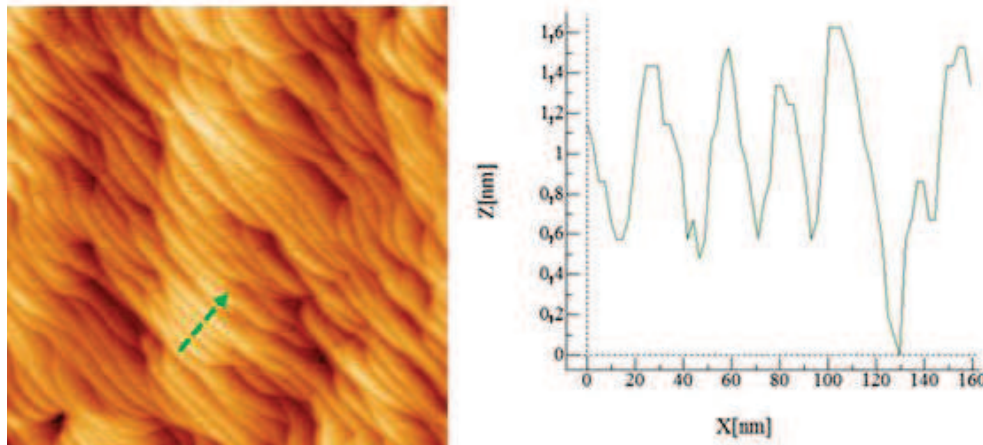


Figure 2.25 : Image AFM ($1 \times 1 \mu\text{m}^2$) de GaAs (220 nm) sur Si désorienté (4°) et le profil en hauteur le long de la flèche pointillée.

2.2.2.2 Croissance de GaAs sur substrat nominal, création de doubles marches

Lors de nos essais de recuits du substrat de silicium avant la croissance de GaAs, nous avons observé différents comportements de la surface de silicium d'un substrat à un autre. En effet, comme illustré dans la figure 2.26, la morphologie des marches atomiques en surface du silicium (après recuit) diffère quand la direction de désorientation passe de $\langle 100 \rangle$ à $\langle 110 \rangle$ (respectivement en figure 2.26.a et 2.26.b). Dans le cas $\langle 100 \rangle$, on observe une rugosification des marches dans les directions azimutales de type $\langle 110 \rangle$ sous forme de fines avancées de silicium. En revanche, lorsque la désorientation est parfaitement alignée avec une direction $\langle 110 \rangle$, les marches atomiques sont lisses et rectilignes. De plus, la mesure de la hauteur de ces marches nous apprend qu'il s'agit de marches biatomiques. Quelques îlots monoatomiques sont encore observables en bord de marches. La désorientation résiduelle de ces substrats étant faible (0.15° environ), l'obtention de marches biatomiques en surface nous semble remarquable.

Afin de comprendre ce phénomène, nous nous sommes penchés sur des études de reconstruction de surface du silicium dans des conditions d'ultra vide, les plus abondantes dans ce domaine. Dans le but de minimiser le nombre de liaisons pendantes, et donc de minimiser l'énergie de surface, les atomes de silicium en surface forment des dimères dans les directions cristallines $\langle 110 \rangle / \langle -110 \rangle$. Des marches atomiques se forment également en surface, il en existe plusieurs types (figure 2.27). Les marches monoatomiques dites S_A ou biatomiques dits D_A où les dimères sont perpendiculaires au bord de marche. Les marches monoatomiques S_B ou biatomiques D_B où les dimères sont parallèles au bord de marche.

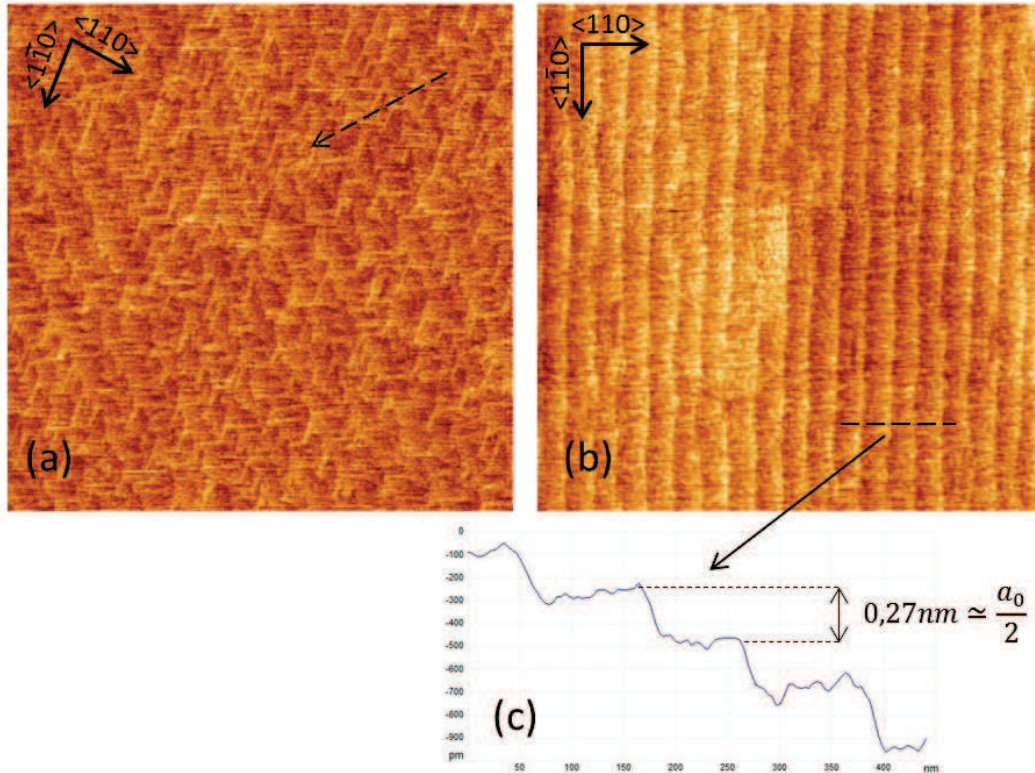


Figure 2.26 : Images AFM ($5 \times 5 \mu\text{m}^2$) de surfaces de silicium, après un recuit sous dihydrogène, de désorientation résiduelle $0,15^\circ$ selon (a) $\langle 100 \rangle$ (flèche pointillée) et (b) $\langle 110 \rangle$. (c), profil en hauteur de la surface présentée en (b)

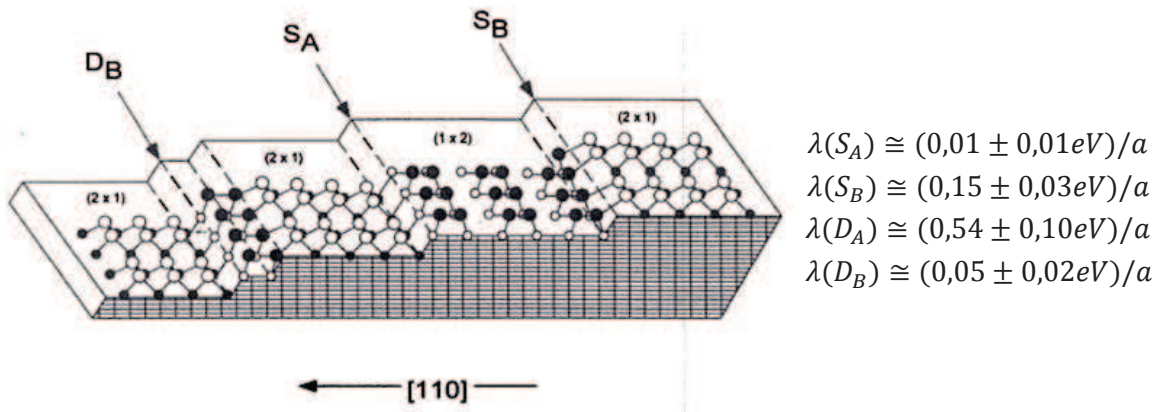


Figure 2.27 : Représentation schématique des marches atomiques en surface du silicium avec leur énergie de formation respective [41].

Dans le cas d'une surface théoriquement nominale, cette dernière serait composée uniquement de marches S_A car elles possèdent un coût énergétique plus faible. Maintenant, lorsque cette surface présente une désorientation, on peut imaginer une compétition entre une alternance de marches monoatomiques S_A/S_B (reconstruction bi-domaine $(1 \times 2)/(2 \times 1)$) et une structuration en marches biatomiques D_B (reconstruction mono-domaine (2×1)). D'un point de vue purement énergétique, la relation (2.4) nous apprend que la formation de marches biatomiques est plus favorable.

$$\lambda(D_B) - [\lambda(S_A) + \lambda(S_B)] = -(0,11\text{eV})/a \quad (2.4)$$

Pourtant, dans la pratique, on n'observe pas de marches biatomiques pour des valeurs d'angle de désorientation inférieures à 1° . Pour appréhender cette contradiction, il est nécessaire de prendre en compte un autre phénomène, la relaxation des contraintes de surface. D'après les travaux d'Alerhand et al. [42], l'alternance de simples marches S_A et S_B permet de relaxer partiellement ces contraintes, ce qui ne serait pas le cas des doubles marches. La valeur d'énergie liée à ces contraintes de surface est donnée par la relation (2.5).

$$E_{\text{strain}} = L^{-1} \lambda_\sigma \ln\left(\frac{L}{\pi a}\right) \quad (2.5)$$

où

L est la longueur des terrasses de silicium

λ_σ est une constante liée aux contraintes en surface et dans le matériau massif

a est le paramètre de maille.

Cette énergie augmente pour les faibles désorientations (*i.e.* pour des grandes longueurs de terrasses L) et serait la force motrice qui guide la restructuration d'une surface de silicium faiblement désorientée en marches monoatomiques. En prenant en compte des aspects thermodynamiques, Alherhand et al. [43] étudie la transition de phase entre marches monoatomiques et biatomiques en fonction de la température et de la désorientation du substrat. Le diagramme de phase donné en figure 2.28, montre qu'il n'est pas possible d'obtenir des doubles marches à haute température sur des substrats faiblement désorientés, dans des conditions d'ultra vide.

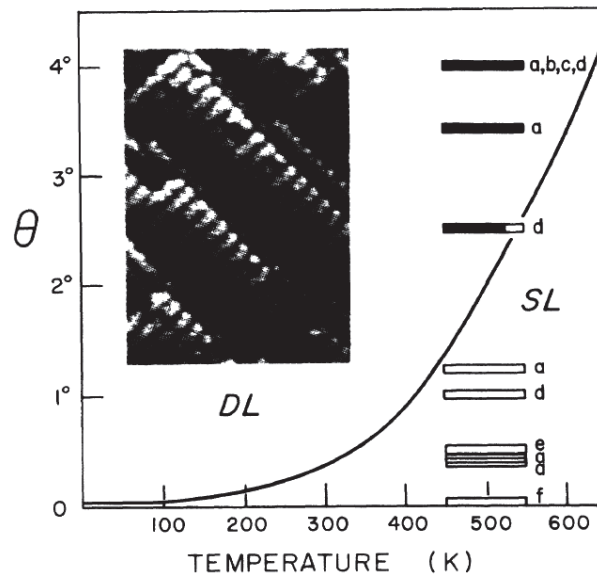


Figure 2.28 : Diagramme représentant la transition de phase entre reconstruction en marches monoatomiques et biatomiques en surface de silicium en UHV en fonction de la désorientation de la surface et de la température [43].

Si on se place maintenant dans notre cadre expérimental, à savoir de recuit à haute température sous pression de dihydrogène, les observations de la majorité des

auteurs [44]–[47] sont les mêmes que dans des conditions d'UHV, pas de marches biatomiques pour des désorientations inférieures à 1° . En revanche, une rugosification des marches selon les directions azimutales $\langle 110 \rangle$ est notée (figure 2.29.a). Le groupe de Stolz, quant à lui, rapporte l'observation de doubles marches quand la désorientation est exactement orientée selon une direction $\langle 110 \rangle$ (figure 2.29.b) [46]–[53]. Il n'y a pas encore d'explication claire de ce phénomène mais il semblerait que la présence de dihydrogène facilite la désorption d'atomes de silicium créant ainsi des lacunes sur les terrasses. Ces lacunes de silicium migreraient, sous l'effet de la température, préférentiellement vers les bords de marches S_B , entraînant leur disparition. Si la vitesse de l'ensemble création plus migration de lacunes est plus grande que celle de la relaxation des contraintes par la formation de marches monoatomiques (relation (2.5)), on arrive alors à stabiliser une surface en marches biatomiques.

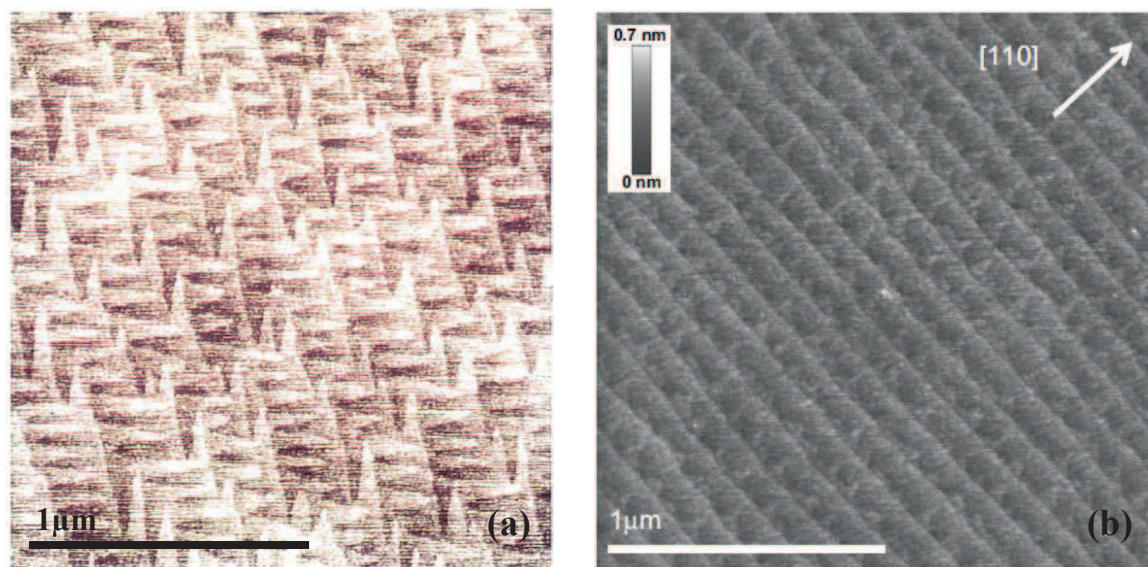


Figure 2.29 : Images AFM de surface de différents substrats de silicium après recuit sous H_2 (a) désorienté selon $\langle 100 \rangle$ et présentant des marches monoatomiques rugueuses [44] et (b) désorienté selon $\langle 110 \rangle$ et présentant des marches biatomiques [50].

Ces travaux sont en accord avec nos observations expérimentales (figure 2.26.b). Sur les substrats faiblement désorientés ($0,15^\circ$) selon une direction $\langle 110 \rangle$, nous obtenons une stabilisation de la surface en marches biatomiques après recuit sous dihydrogène. Sur ces derniers, nous avons déposé une couche de GaAs à basse température puis à haute température, conformément au procédé décrit en section 2.2.1. Les images AFM de ces différentes couches sont données en figure 2.30. A la surface de la couche de GaAs déposée à basse température (figure 2.30.a), on retrouve l'alignement des marches du silicium du substrat avec encore quelques domaines d'antiphase (en sombre). Ils sont sans doute causés par les quelques îlots monoatomiques encore présents en bord de marches [50]. Sur la couche complète de GaAs (LT + HT) (figure 2.30.b), on n'observe plus de parois d'antiphase, les petits domaines présents sur la couche LT se sont auto-annihilés lors du dépôt HT. Nous obtenons ainsi une couche de GaAs sans parois d'antiphase en surface et une faible rugosité (0,66 nm) avec une épaisseur de 140 nm seulement.

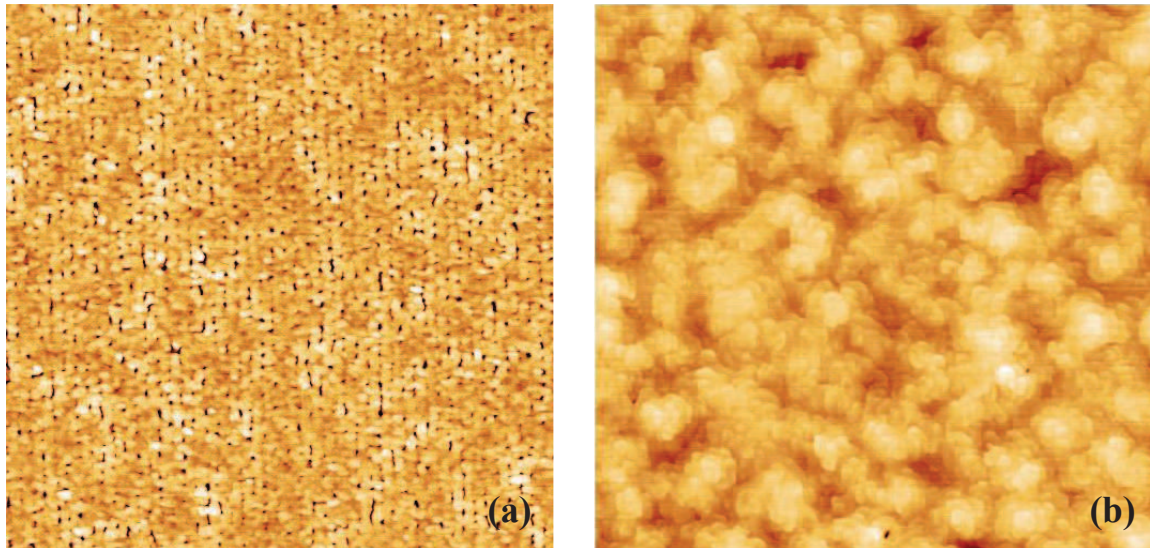


Figure 2.30 : Images AFM ($5 \times 5 \mu\text{m}^2$) de couches de GaAs sur substrat silicium faiblement désorientés ($0,15^\circ$) selon une direction $\langle 110 \rangle$. (a) couche de nucléation à basse température d'épaisseur 37 nm (rugosité RMS = 0,55 nm). (b) couche de GaAs (LT + HT) d'épaisseur 140 nm (rugosité RMS = 0,66 nm)

Dans cette partie, nous avons montré qu'il était possible de stabiliser une reconstruction en marches biatomiques en surface d'un substrat de silicium faiblement désorienté. Si cette désorientation suit exactement une direction $\langle 110 \rangle$, une consommation (création et migration de lacunes d'atomes de silicium) préférentielle d'une marche monoatomique sur deux entraîne sa disparition. Cela malgré la tendance de la surface à créer des marches monoatomiques afin de relaxer ses contraintes. Sur des substrats présentant des marches biatomiques, l'épitaxie de GaAs conduit à une surface sans parois d'antiphase en 140 nm seulement.

2.3 Conclusion

Au cours de ce chapitre, nous avons vu qu'il était possible d'obtenir par MOVPE des couches de GaAs épitaxiées sur substrat silicium (100) de moins de 500 nm d'épaisseur sans parois d'antiphase en surface. Pour cela, nous avons choisi de partir de l'approche conventionnelle de croissance de GaAs sur silicium, qui consiste en une nucléation à basse température suivie d'une croissance à haute température. D'après les premières observations des parois d'antiphase en fonction de l'épaisseur de GaAs déposée par cette méthode, il est apparu que leur densité décroît avec l'épaisseur mais tend vers une limite finie non nulle.

Nous nous sommes donc intéressés à d'autres paramètres. Dans un premier temps, nous avons étudié l'influence d'un recuit sous dihydrogène du substrat avant la croissance de GaAs. Un tel recuit entraîne une reconstruction atomique de la surface de silicium. La reconstruction en marches régulières favorise une forte annihilation des parois

d'antiphase et l'émergence d'un domaine prépondérant dans les premiers nanomètres de la couche. Ajouté à cela, un dépôt à haute température scindé en deux étapes à deux températures différentes entraîne l'apparition d'un domaine unique via un changement d'orientation des parois. Cependant, un point clef semble résider dans la désorientation résiduelle des substrats Si(100) utilisés pour les épitaxies. En effet, nous avons vu qu'un changement de quelques centièmes de degrés suffisait à passer d'un GaAs avec parois à un GaAs sans parois. Dans notre cas, une désorientation supérieure à $0,1^\circ$ nous assure l'absence de parois d'antiphase.

De plus, un type bien particulier de substrats, ceux présentant une désorientation résiduelle dirigée exactement selon une direction cristalline $\langle 110 \rangle$, nous assure, via un recuit sous dihydrogène, la stabilisation de marches biatomiques en surface. Ces doubles marches limitent drastiquement la nucléation des parois d'antiphase à l'interface GaAs/Si. Il devient donc possible d'obtenir des couches fines (140 nm) de GaAs épitaxiées sur silicium sans parois d'antiphase en surface.

Bibliographie

- [1] J. L. Vossen and W. Kern, Eds., *Thin film processes II*. Boston: Academic Press, 1991.
- [2] G. B. Stringfellow, *Organometallic vapor-phase epitaxy: theory and practice*, 2nd ed. San Diego: Academic Press, 1999.
- [3] H. Nishino, N. Hayasaka, and H. Okano, "Damage-free selective etching of Si native oxides using NH₃/NF₃ and SF₆/H₂O down-flow etching," *J. Appl. Phys.*, vol. 74, no. 2, p. 1345, 1993.
- [4] H. Ogawa, T. Arai, M. Yanagisawa, T. Ichiki, and Y. Horiike, "Dry Cleaning Technology for Removal of Silicon Native Oxide Employing Hot NH₃/NF₃ Exposure," *Jpn. J. Appl. Phys.*, vol. 41, no. Part 1, No. 8, pp. 5349–5358, Aug. 2002.
- [5] A. Tavernier, L. Favennec, T. Chevolleau, and V. Jousseau, "Innovative Gap-Fill Strategy for 28 nm Shallow Trench Isolation," *ECS Trans.*, vol. 45, no. 3, pp. 225–232, Apr. 2012.
- [6] A. Tavernier, "Développement d'un procédé innovant pour le remplissage des tranchées d'isolation entre transistors des technologies CMOS avancées," Ph.D. Dissertation, Université de Grenoble, 2014.
- [7] M. Tachikawa, H. Mori, M. Sugo, and Y. Itoh, "Continuous GaAs Film Growth on Epitaxial Si Surface in Initial Stage of GaAs/Si Heteroepitaxy," *Jpn. J. Appl. Phys.*, vol. 32, no. Part 2, No. 9A, pp. L1252–L1255, Sep. 1993.
- [8] P. J. Taylor, W. A. Jesser, J. D. Benson, M. Martinka, J. H. Dinan, J. Bradshaw, M. Lara-Taysing, R. P. Leavitt, G. Simonis, W. Chang, W. W. Clark, and K. A. Bertness, "Optoelectronic device performance on reduced threading dislocation density GaAs/Si," *J. Appl. Phys.*, vol. 89, no. 8, p. 4365, 2001.
- [9] M.-S. Hao, J.-W. Liang, L.-X. Zheng, L.-S. Deng, Z.-B. Xiao, and X.-W. Hu, "Photoluminescence Spectrum Study of the GaAs/Si Epilayer Grown by using a Thin Amorphous Si Film as Buffer Layer," *Jpn. J. Appl. Phys.*, vol. 34, no. Part 2, No. 7B, pp. L900–L902, Jul. 1995.

- [10] V. Joshkin, A. Orlikovsky, S. Oktyabrsky, K. Dovidenko, A. Kvit, I. Muhamedzanov, and E. Pashaev, "Biaxial compression in GaAs thin films grown on Si," *J. Cryst. Growth*, vol. 147, no. 1–2, pp. 13–18, Jan. 1995.
- [11] M. Akiyama, Y. Kawarada, and K. Kaminishi, "Growth of Single Domain GaAs Layer on (100)-Oriented Si Substrate by MOCVD," *Jpn. J. Appl. Phys.*, vol. 23, no. Part 2, No. 11, pp. L843–L845, Nov. 1984.
- [12] K. Akahori, G. Wang, K. Okumura, T. Soga, T. Jimbo, and M. Umeno, "Improvement of the MOCVD-grown InGaP-on-Si towards high-efficiency solar cell application," *Sol. Energy Mater. Sol. Cells*, vol. 66, no. 1–4, pp. 593–598, Feb. 2001.
- [13] W.-Y. Uen, Z.-Y. Li, Y.-C. Huang, M.-C. Chen, T.-N. Yang, S.-M. Lan, C.-H. Wu, H.-F. Hong, and G.-C. Chi, "Heteroepitaxial growth of GaAs on Si by MOVPE using a-GaAs/a-Si double-buffer layers," *J. Cryst. Growth*, vol. 295, no. 2, pp. 103–107, Oct. 2006.
- [14] K. Ma, R. Urata, D. A. B. Miller, and J. S. Harria, "Low-temperature growth of GaAs on Si used for ultrafast photoconductive switches," *IEEE J. Quantum Electron.*, vol. 40, no. 6, pp. 800–804, Jun. 2004.
- [15] R. Fischer, H. Morkoç, D. A. Neumann, H. Zabel, C. Choi, N. Otsuka, M. Longerbone, and L. P. Erickson, "Material properties of high-quality GaAs epitaxial layers grown on Si substrates," *J. Appl. Phys.*, vol. 60, no. 5, p. 1640, 1986.
- [16] D. K. Biegelsen, F. A. Ponce, A. J. Smith, and J. C. Tramontana, "Initial stages of epitaxial growth of GaAs on (100) silicon," *J. Appl. Phys.*, vol. 61, no. 5, p. 1856, 1987.
- [17] R. Hull, A. Fischer-Colbrie, S. J. Rosner, S. M. Koch, and J. S. Harris, "Effect of substrate surface structure on nucleation of GaAs on Si(100)," *Appl. Phys. Lett.*, vol. 51, no. 21, p. 1723, 1987.
- [18] K. Adomi, S. Strite, H. Morkoç, Y. Nakamura, and N. Otsuka, "Characterization of GaAs grown on Si epitaxial layers on GaAs substrates," *J. Appl. Phys.*, vol. 69, no. 1, p. 220, 1991.
- [19] J. Soutadé, C. Fontaine, and A. Muñoz-Yagüe, "Influence of nucleation procedures on stress relaxation in heterostructures: GaAs/Si (100)," *Appl. Phys. Lett.*, vol. 59, no. 14, p. 1764, 1991.
- [20] C. Lioutas, A. Delimitisi, and A. Georgakilas, "TEM investigation of the dependence of structural defects on prelayer formation in GaAs-on-Si thin films," *Thin Solid Films*, vol. 336, no. 1–2, pp. 96–99, Dec. 1998.
- [21] Y. B. Bolkhovityanov and O. P. Pchelyakov, "GaAs epitaxy on Si substrates: modern status of research and engineering," *Phys.-Uspekhi*, vol. 51, no. 5, pp. 437–456, May 2008.

- [22] Y. Li and L. J. Giling, "A closer study on the self-annihilation of antiphase boundaries in GaAs epilayers," *J. Cryst. Growth*, vol. 163, no. 3, pp. 203–211, Jun. 1996.
- [23] D. Zhu, C. McAleese, K. K. McLaughlin, M. Häberlen, C. O. Salcianu, E. J. Thrush, M. J. Kappers, W. A. Phillips, P. Lane, D. J. Wallis, T. Martin, M. Astles, S. Thomas, A. Pakes, M. Heuken, and C. J. Humphreys, "GaN-based LEDs grown on 6-inch diameter Si (111) substrates by MOVPE," 2009, pp. 723118–723118–11.
- [24] V. K. Yang, M. Groenert, C. W. Leitz, A. J. Pitera, M. T. Currie, and E. A. Fitzgerald, "Crack formation in GaAs heteroepitaxial films on Si and SiGe virtual substrates," *J. Appl. Phys.*, vol. 93, no. 7, p. 3859, 2003.
- [25] R. T. Murray, C. J. Kiely, and M. Hopkinson, "General characteristics of crack arrays in epilayers grown under tensile strain," *Semicond. Sci. Technol.*, vol. 15, no. 4, p. 325, 2000.
- [26] N. Chand, R. People, F. A. Baiocchi, K. W. Wecht, and A. Y. Cho, "Significant improvement in crystalline quality of molecular beam epitaxially grown GaAs on Si (100) by rapid thermal annealing," *Appl. Phys. Lett.*, vol. 49, no. 13, p. 815, 1986.
- [27] J. W. Lee, H. Shichijo, H. L. Tsai, and R. J. Matyi, "Defect reduction by thermal annealing of GaAs layers grown by molecular beam epitaxy on Si substrates," *Appl. Phys. Lett.*, vol. 50, no. 1, p. 31, 1987.
- [28] C. Choi, N. Otsuka, G. Munns, R. Houdre, H. Morkoç, S. L. Zhang, D. Levi, and M. V. Klein, "Effect of in situ and ex situ annealing on dislocations in GaAs on Si substrates," *Appl. Phys. Lett.*, vol. 50, no. 15, p. 992, 1987.
- [29] Y. Itoh, T. Nishioka, A. Yamamoto, and M. Yamaguchi, "GaAs heteroepitaxial growth on Si for solar cells," *Appl. Phys. Lett.*, vol. 52, no. 19, p. 1617, 1988.
- [30] J. E. Ayers, L. J. Schowalter, and S. K. Ghandhi, "Post-growth thermal annealing of GaAs on Si(001) grown by organometallic vapor phase epitaxy," *J. Cryst. Growth*, vol. 125, no. 1–2, pp. 329–335, Nov. 1992.
- [31] T. Yodo, "GaAs heteroepitaxial growth on Si substrates with thin Si interlayers in situ annealed at high temperatures," *J. Vac. Sci. Technol. B Microelectron. Nanometer Struct.*, vol. 13, no. 3, p. 1000, May 1995.
- [32] T. Soga, S. Hattori, S. Sakai, M. Takeyasu, and M. Umeno, "Characterization of epitaxially grown GaAs on Si substrates with III-V compounds intermediate layers by metalorganic chemical vapor deposition," *J. Appl. Phys.*, vol. 57, no. 10, p. 4578, 1985.
- [33] M. Yamaguchi, M. Sugo, and Y. Itoh, "Misfit stress dependence of dislocation density reduction in GaAs films on Si substrates grown by strained-layer superlattices," *Appl. Phys. Lett.*, vol. 54, no. 25, p. 2568, 1989.
- [34] A. Ackaert, P. Demeester, L. Buydens, G. Coudenys, P. Van Daele, and M. Renaud, "Selective MOVPE growth of GaAs on Si and its applications to LEDs," *J. Cryst. Growth*, vol. 107, no. 1–4, pp. 822–826, Jan. 1991.

- [35] Y. Takano, M. Hisaka, N. Fujii, K. Suzuki, K. Kuwahara, and S. Fuke, "Reduction of threading dislocations by InGaAs interlayer in GaAs layers grown on Si substrates," *Appl. Phys. Lett.*, vol. 73, no. 20, p. 2917, 1998.
- [36] H. Mori, M. Tachikawa, M. Sugo, and Y. Itoh, "GaAs heteroepitaxy on an epitaxial Si surface with a low-temperature process," *Appl. Phys. Lett.*, vol. 63, no. 14, p. 1963, 1993.
- [37] W.-Y. Uen, T. Ohori, and T. Nishinaga, "Molecular beam epitaxy of gallium arsenide on 0.3°-misoriented epitaxial Si substrates," *J. Cryst. Growth*, vol. 156, no. 3, pp. 133–139, Nov. 1995.
- [38] Y. B. Bolkhovityanov and O. P. Pchelyakov, "III-V Compounds-on-Si: Heterostructure Fabrication, Application and Prospects," *Open Nanosci. J.*, vol. 3, no. 1, pp. 20–33, Oct. 2009.
- [39] H. Tadano, Y. Okuno, M. Shimbo, and J. Nishizawa, "Observation of screw dislocations in GaAs," *J. Cryst. Growth*, vol. 37, no. 2, pp. 184–186, Feb. 1977.
- [40] A. L.-S. Chua, E. Pelucchi, A. Rudra, B. Dwir, E. Kapon, A. Zangwill, and D. D. Vvedensky, "Theory and experiment of step bunching on misoriented GaAs(001) during metalorganic vapor-phase epitaxy," *Appl. Phys. Lett.*, vol. 92, no. 1, p. 013117, 2008.
- [41] D. J. Chadi, "Stabilities of single-layer and bilayer steps on Si(001) surfaces," *Phys. Rev. Lett.*, vol. 59, no. 15, pp. 1691–1694, Oct. 1987.
- [42] O. L. Alerhand, D. Vanderbilt, R. D. Meade, and J. D. Joannopoulos, "Spontaneous Formation of Stress Domains on Crystal Surfaces," *Phys. Rev. Lett.*, vol. 61, no. 17, pp. 1973–1976, Oct. 1988.
- [43] O. L. Alerhand, A. N. Berker, J. D. Joannopoulos, D. Vanderbilt, R. J. Hamers, and J. E. Demuth, "Finite-temperature phase diagram of vicinal Si(100) surfaces," *Phys. Rev. Lett.*, vol. 64, no. 20, pp. 2406–2409, May 1990.
- [44] L. Zhong, A. Hojo, Y. Matsushita, Y. Aiba, K. Hayashi, R. Takeda, H. Shirai, H. Saito, J. Matsushita, and J. Yoshikawa, "Evidence of spontaneous formation of steps on silicon (100)," *Phys. Rev. B*, vol. 54, no. 4, pp. R2304–R2307, Jul. 1996.
- [45] C. L. Wang, S. Unnikrishnan, B. Y. Kim, D. L. Kwong, and A. F. Tasch, "Evolution of silicon surface morphology during H₂ annealing in a rapid thermal chemical vapor deposition system," *Appl. Phys. Lett.*, vol. 68, no. 1, p. 108, 1996.
- [46] I. Németh, B. Kunert, W. Stolz, and K. Volz, "Heteroepitaxy of GaP on Si: Correlation of morphology, anti-phase-domain structure and MOVPE growth conditions," *J. Cryst. Growth*, vol. 310, no. 7–9, pp. 1595–1601, Apr. 2008.
- [47] K. Volz, A. Beyer, W. Witte, J. Ohlmann, I. Németh, B. Kunert, and W. Stolz, "GaP-nucleation on exact Si (001) substrates for III/V device integration," *J. Cryst. Growth*, vol. 315, no. 1, pp. 37–47, Jan. 2011.

- [48] I. Németh, B. Kunert, W. Stolz, and K. Volz, “Ways to quantitatively detect antiphase disorder in GaP films grown on Si(001) by transmission electron microscopy,” *J. Cryst. Growth*, vol. 310, no. 23, pp. 4763–4767, Nov. 2008.
- [49] B. Kunert, I. Németh, S. Reinhard, K. Volz, and W. Stolz, “Si (001) surface preparation for the antiphase domain free heteroepitaxial growth of GaP on Si substrate,” *Thin Solid Films*, vol. 517, no. 1, pp. 140–143, Nov. 2008.
- [50] H. Döscher, T. Hannappel, B. Kunert, A. Beyer, K. Volz, and W. Stolz, “In situ verification of single-domain III-V on Si(100) growth via metal-organic vapor phase epitaxy,” *Appl. Phys. Lett.*, vol. 93, no. 17, p. 172110, 2008.
- [51] H. Döscher, B. Kunert, A. Beyer, O. Supplie, K. Volz, W. Stolz, and T. Hannappel, “In situ antiphase domain quantification applied on heteroepitaxial GaP growth on Si(100),” *J. Vac. Sci. Technol. B Microelectron. Nanometer Struct.*, vol. 28, no. 4, p. C5H1, 2010.
- [52] A. Beyer, I. Németh, S. Liebich, J. Ohlmann, W. Stolz, and K. Volz, “Influence of crystal polarity on crystal defects in GaP grown on exact Si (001),” *J. Appl. Phys.*, vol. 109, no. 8, p. 083529, 2011.
- [53] A. Beyer, B. Haas, K. I. Gries, K. Werner, M. Luysberg, W. Stolz, and K. Volz, “Atomic structure of (110) anti-phase boundaries in GaP on Si(001),” *Appl. Phys. Lett.*, vol. 103, no. 3, p. 032107, 2013.

Chapitre 3

Structures à puits quantiques d' $\text{In}_x\text{Ga}_{1-x}\text{As}$

Dans le chapitre précédent, nous avons vu qu'il était possible d'obtenir des couches de GaAs, épitaxiées sur des substrats de silicium (001) très légèrement désorientés, ne présentant plus ou très peu de parois d'antiphase en surface. Afin de caractériser ces couches, avec et sans parois d'antiphase, nous avons opté pour des mesures optiques, telles que de la photoluminescence (PL) à température ambiante et de la cathodoluminescence à basse température (CL). Pour ce faire, une structure de puits quantique d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ est introduite proche de la surface de la couche de GaAs. La réponse optique de ce puits quantique nous donnera des informations sur la qualité de cette région de GaAs. En premier lieu, nous étudierons la croissance du matériau $\text{In}_x\text{Ga}_{1-x}\text{As}$ dans notre réacteur de MOVPE (cinétiques, calibration de la concentration d'indium) puis nous verrons la croissance des structures à puits quantiques d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ et enfin nous finirons par en étudier les propriétés optiques et structurales.

3.1 Croissance de couches d' $\text{In}_x\text{Ga}_{1-x}\text{As}$

Dans un premier temps nous avons étudié la croissance du matériau $\text{In}_x\text{Ga}_{1-x}\text{As}$ dans notre bâti de MOVPE. En particulier, nous avons cherché à connaître les cinétiques de croissance et les différentes concentrations d'indium qu'il est possible d'atteindre dans notre machine, en fonction des flux de précurseurs et de la température. Pour cela, nous avons effectué des croissances de couches d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ relativement épaisses (entre 50 et 100 nm) sur des couches tampons de GaAs/Si(001) (figure 3.1) préparées comme décrit dans le chapitre précédent. Avec de telles épaisseurs, nous nous attendons à des couches épitaxiales d' InGaAs relaxées pour les taux d'indium $> 20\%$. Les paramètres constants étaient la pression (entre 10 et 80 Torr), le flux de gaz vecteur H_2 (environ 10 litres par minute). Ces différentes épitaxies sont ensuite analysées par diffraction des rayons X et par spectrométrie de masse à ionisation secondaire (en anglais SIMS pour *Secondary Ion Mass Spectrometry*) préalablement calibré sur des échantillons témoins.



Figure 3.1 : Représentation schématique de l'empilement réalisé pour les croissances d' $\text{In}_x\text{Ga}_{1-x}\text{As}$

La première série de croissances visait à déterminer la concentration maximale d'indium atteignable dans nos couches ainsi que les conditions de croissance correspondantes. Pour cela, nous nous sommes placés au maximum du ratio atomique In/Ga (noté r) qu'il est possible d'injecter dans la phase vapeur de la chambre de dépôt, à savoir 2:1, et nous avons fait varier la température de croissance dans une gamme allant de 500°C à 560°C. Au-delà de ces températures, des études [1] ont montré que la désorption de l'indium devient significative et limite son incorporation au sein des couches $\text{In}_x\text{Ga}_{1-x}\text{As}$. On notera que le ratio V/III est également maintenu constant autour d'une valeur comprise entre 5 et 30. La figure 3.2 montre l'état de surface de ces couches, imagé par microscopie électronique à balayage (MEB).

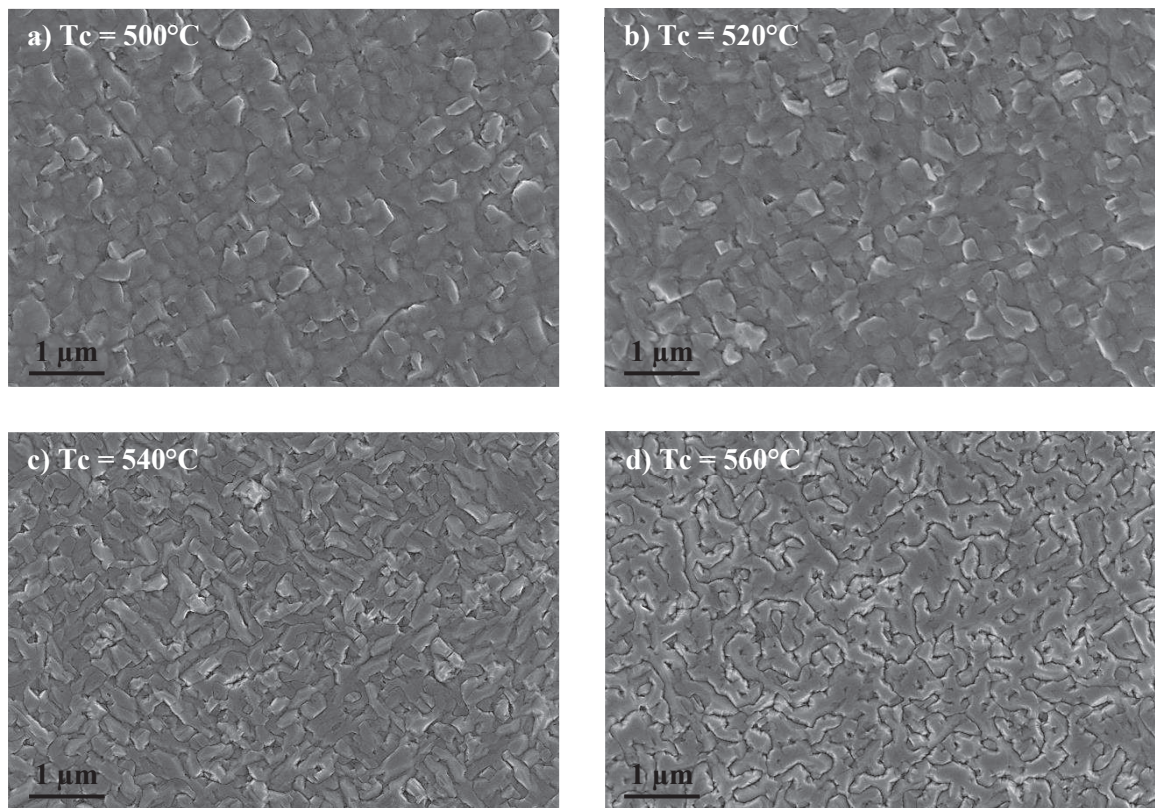


Figure 3.2 : Images MEB de couches d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ (environ 100 nm) épitaxiées sur GaAs/Si à différentes températures. Le rapport atomique In/Ga injecté dans la phase vapeur de la chambre est constant et vaut 2. Les rugosités RMS sont ici équivalentes et de l'ordre de 15 nm.

On remarque que la morphologie de la surface de ces couches évolue avec la température à laquelle elles ont été déposées. Pour les températures les plus basses (500°C et 520°C), on distingue des îlots de taille variable qui induisent une forte rugosité (15nm environ). Puis, à 540°C, ces îlots s'allongent dans les directions cristallines $\langle 100 \rangle$ pour enfin laisser place à une forte densité de parois d'antiphase à 560°C, ce qui se rapproche d'une surface typique d'une épitaxie de matériau III-V, comme le GaAs, sur silicium nominal. On peut comprendre qu'entre les hautes et les basses températures de croissance présentées ici, les rapports de vitesses de croissance des différentes facettes des îlots changent, ce qui explique le changement de forme de ces îlots. De plus, à 560°C,

température la plus haute, les atomes en surface sont plus mobiles, ce qui leur évite d'incorporer le cristal dans les positions défavorables énergétiquement que représentent les parois d'antiphase. Cela a pour effet de former les sillons caractéristiques des APB en surface.

La concentration d'indium dans ces couches a ensuite été mesurée par SIMS et par diffraction des rayons X (scans oméga-2theta à l'ordre (004), en faisant l'hypothèse de couches totalement relaxées). Ces résultats sont présentés dans le graphique en figure 3.3. Ces mesures montrent, avec un bon accord, que la teneur en indium reste globalement constante dans cette gamme de température, autour d'une valeur de 53%. Nous avons donc établi qu'une concentration de 53% environ est atteignable dans notre réacteur de MOVPE. La température que nous choisirons dans toute la suite de nos épitaxies d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ sera 540°C.

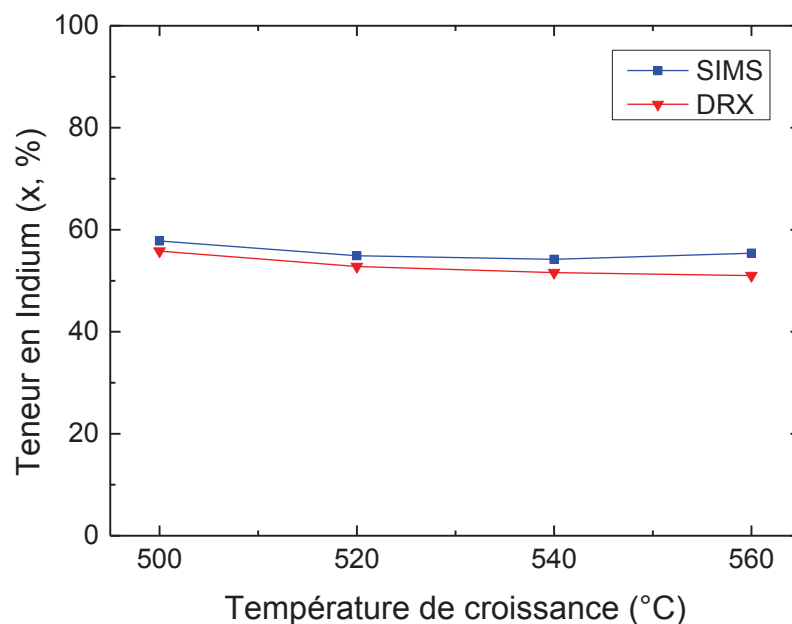


Figure 3.3 : Teneurs en indium de couches d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ épitaxiées à différentes températures (fig.3.2) mesurées par SIMS (carrés) et par DRX (triangles).

Maintenant, il est intéressant d'étudier la correspondance entre le rapport atomique In/Ga injecté dans la phase vapeur du réacteur et la quantité d'indium effectivement incorporé dans les couches d' $\text{In}_x\text{Ga}_{1-x}\text{As}$, dans le but d'établir une courbe de calibration. Pour cela, nous avons réalisé plusieurs épitaxies de couches d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ sur des couches tampons de GaAs/Si(001), avec parois d'antiphase, en faisant varier le ratio atomique In/Ga à une température de substrat constante de 540°C. La figure 3.4 fait état de la surface de quelques-unes de ces couches imagées par MEB. On remarque que la rugosité de ces couches augmente fortement quand le rapport atomique In/Ga injecté augmente. On comprend aisément que lorsque l'on augmente la quantité d'indium dans la phase vapeur du réacteur, on augmente également le taux d'indium incorporé dans la phase solide, c'est-à-dire dans la couche d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ en croissance. Cela a pour effet d'accroître le désaccord de paramètre de maille entre le matériau tampon GaAs et l' $\text{In}_x\text{Ga}_{1-x}\text{As}$ en croissance et conduit à une relaxation plus importante des contraintes, ce

qui explique la plus forte rugosité de surface. On note également en surface des couches les moins riches en indium, donc les moins rugueuses, l'apparition du motif caractéristique causé par une forte densité de parois d'antiphase. A nouveau, l'aspect de surface des couches d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ semble fortement influencé par la présence de parois d'antiphase dans la couche de GaAs sous-jacente.

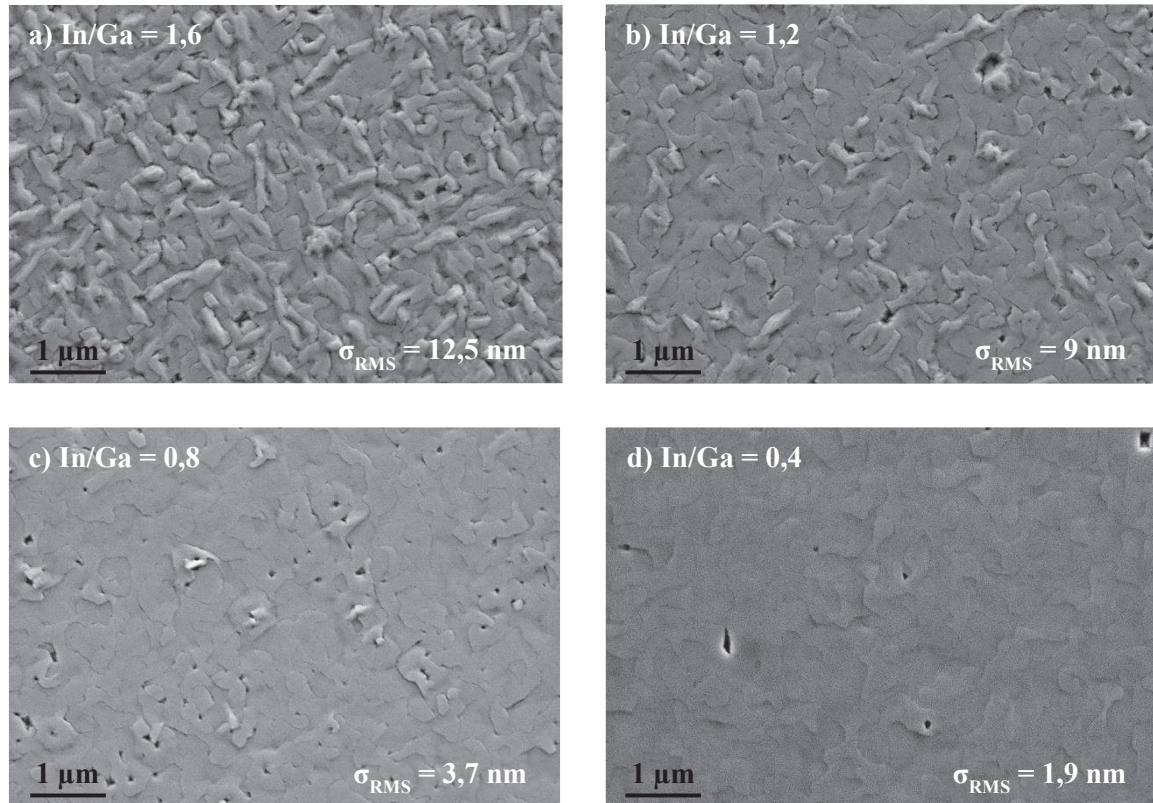


Figure 3.4 : Images MEB de couches d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ épitaxiées sur GaAs/Si à 540°C pour des valeurs variables de rapport atomique In/Ga injecté dans la phase vapeur du réacteur.

Comme précédemment, nous avons ensuite quantifié la fraction d'indium (x) dans ces couches par diffraction des rayons X et pas SIMS. La courbe de calibration qui en résulte est présentée en figure 3.5.

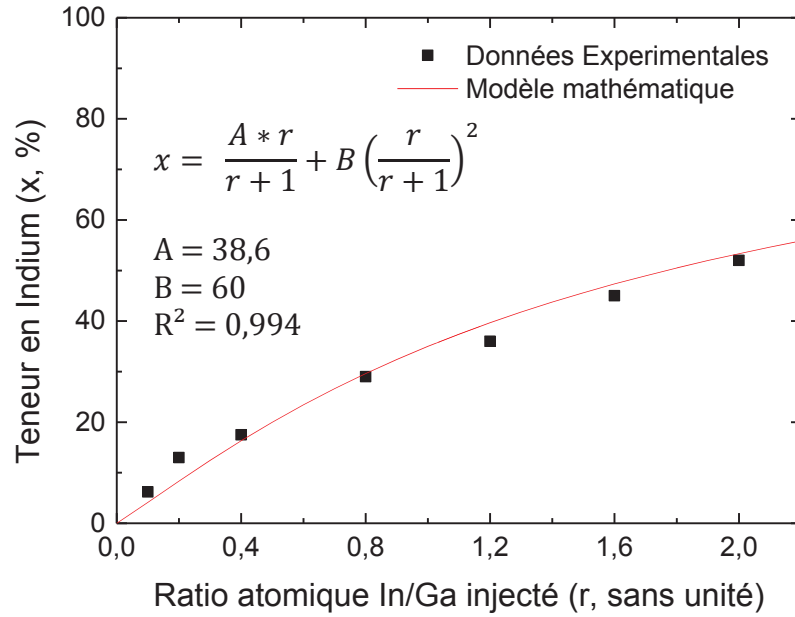


Figure 3.5 : Courbe de calibration expérimentale et modèle correspondant, reliant le rapport atomique In/Ga (r) injecté dans le réacteur et la teneur en indium (x) des couches d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ ainsi épitaxiées (fig. 3.4), à 540°C .

On note sur cette courbe que nos données expérimentales de calibration de teneur en indium (x) entretiennent une relation hyperbolique avec le rapport In/Ga (r) d'après l'équation (3.1) :

$$x = \frac{A * r}{r + 1} + B \left(\frac{r}{r + 1} \right)^2 \quad (3.1)$$

où A et B sont des paramètres ajustables (ici $A = 38,6$ et $B = 60$).

Il est intéressant de noter l'apparition du terme $r/(r+1)$ qui possède une signification physique, comme le montre la relation (3.2) :

$$\frac{r}{r + 1} = \frac{\Phi_{\text{In}}}{\Phi_{\text{In}} + \Phi_{\text{Ga}}} = \frac{X}{100} \quad (3.2)$$

où Φ_{In} et Φ_{Ga} sont respectivement les flux atomiques d'indium et de gallium injectés dans le réacteur de MOVPE.

En effet, ce terme (noté X) représente la concentration en indium (en pourcentage) de la phase vapeur en équilibre avec la couche d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ en croissance. On peut imaginer, dans un cas « idéal », que les teneurs en indium de la phase vapeur, X , et de la couche épitaxiée, x , sont égales. Or dans notre cas, on remarque que ces valeurs sont reliées par la relation (3.3), directement dérivée de l'équation (3.1).

$$x = A'X + B'X^2 \quad (3.3)$$

où $A' = A/100$ et $B' = B/10000$

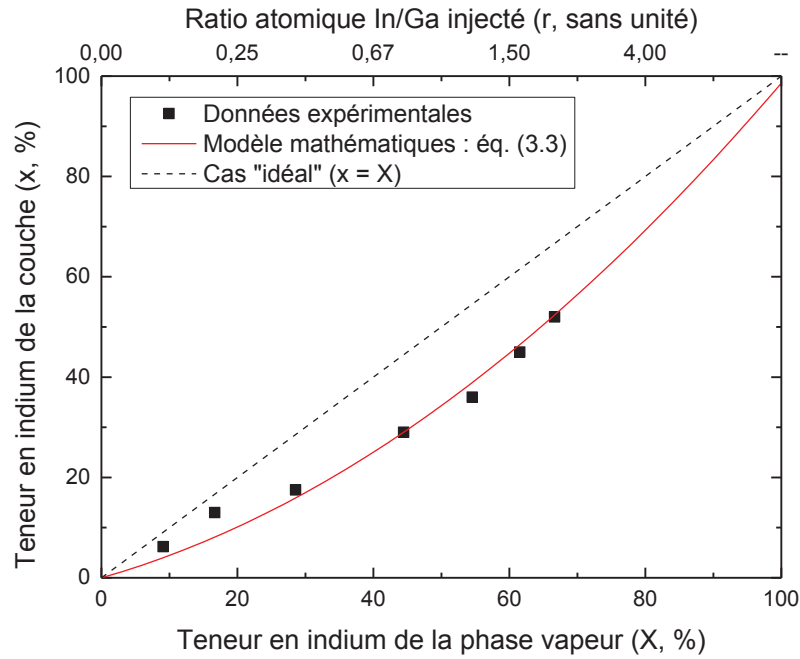


Figure 3.6 : Représentation graphique de la relation entre les teneurs en indium de la phase vapeur (X) et de la couche d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ (x) en croissance. Sont également représentés la relation (3.3) et le cas dit « idéal » où $x = X$.

Le tracé de la fonction $x = f(X)$ est donné en figure 3.6. Sur ce graphique, on représente grâce à la droite en pointillés $x = X$, le cas dit « idéal » où la composition de la phase vapeur est égale à la composition de la couche $\text{In}_x\text{Ga}_{1-x}\text{As}$. Cela correspond à la situation où les atomes d'indium et de gallium s'intègrent de façon égale dans la couche au cours de l'épitaxie. Or, dans notre situation, nos points expérimentaux se trouvent en dessous de cette droite. Nous en déduisons donc que les atomes d'indium s'incorporent moins facilement au sein du cristal que les atomes de gallium durant la croissance. Afin de traduire cet écart, on peut définir le coefficient de distribution, k , comme le rapport entre la concentration d'indium dans la phase solide et dans la phase vapeur.

$$k = \frac{x}{X} \quad (3.4)$$

Dans le cas de nos croissances de calibration, on calcule un coefficient de distribution compris entre 0,7 et 0,8.

L'obtention d'un coefficient de distribution inférieur à l'unité peut avoir plusieurs origines. Tout d'abord, on peut penser que la décomposition thermique du précurseur d'indium est incomplète et que, de ce fait, une partie de l'indium organométallique (TMIn) n'atteint pas la forme atomique lui permettant de s'intégrer à la couche. Mais cette hypothèse semble peu probable puisque des travaux portant sur les réactions de pyrolyse du TMIn [2] montrent que dans un environnement H_2 , la décomposition du précurseur est totale même pour des températures inférieures à 400°C . De plus, il a été observé que la décomposition de TMIn est facilitée en présence de TBAs, même à température ambiante [3]. La deuxième hypothèse, moins immédiate mais plus probable, porte sur l'effet de la contrainte dans l'incorporation de l'indium au sein de la couche via

un phénomène surnommé « *lattice latching* » ou encore « *lattice pulling* ». Ceci a d'abord été étudié en 1972 par Stringfellow [4] sur des croissances de GaInP sur GaAs par épitaxie en phase liquide (EPL). Ce dernier observait qu'en changeant la concentration du liquide, la composition de la couche épitaxiale restait la même alors que la composition des cristaux qui se formaient autour des bords du substrat, donc non contraints, suivait bien l'évolution de la phase liquide. Il faut voir que les contraintes macroscopiques accumulées dans le film sont assez importantes pour influencer sur la composition même de la couche. En effet, le cristal, cherchant toujours à minimiser son énergie interne, rejette une partie des atomes plus gros qui sont plus difficiles à incorporer dans sa maille. L'indium étant de plus le plus volatile des éléments du groupe III, la désorption d'atomes d'indium devient alors importante et limite leur incorporation au sein de la couche. Ce phénomène a également été observé lors de croissance de puits quantiques d' InGaAs/GaAs par MOVPE [5]. Dans notre cas, la température de croissance étant assez basse, ce phénomène serait limité mais tout de même présent et pourrait expliquer l'écart de concentration d'indium entre la phase solide et la phase vapeur.

Intéressons-nous maintenant aux cinétiques de croissance du matériau $\text{In}_x\text{Ga}_{1-x}\text{As}$. La mesure de l'épaisseur des couches présentées précédemment nous permet de calculer la vitesse à laquelle elles croissent. La figure 3.7 rassemble ces résultats et les rapporte au flux total des éléments III injecté dans le réacteur. Ici, le flux de gallium est maintenu constant et seul le flux d'indium est modifié.

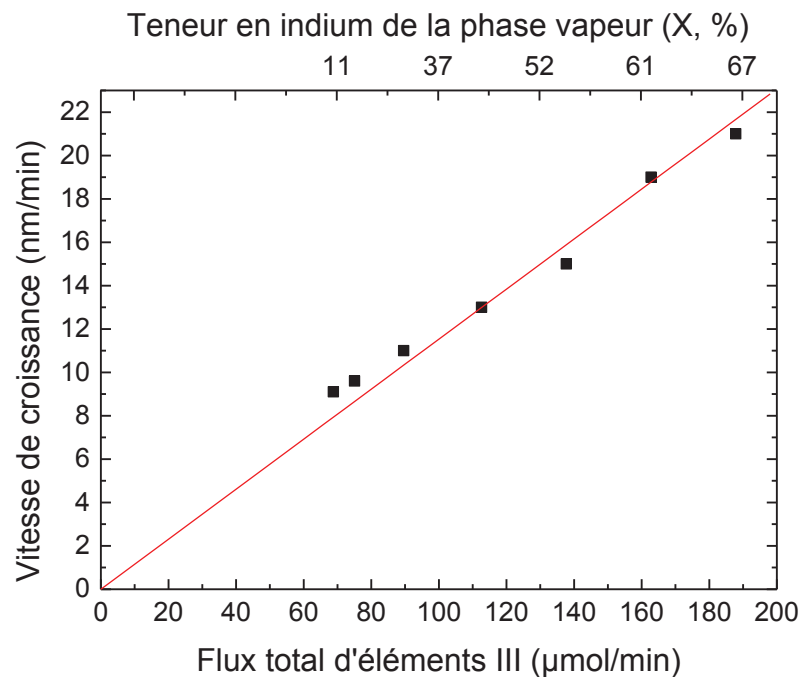


Figure 3.7 : Courbe de calibration des vitesses de croissance d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ sur $\text{GaAs/Si}(001)$ à 540°C en fonction du flux des éléments III injecté dans le réacteur. Le flux de gallium est maintenu constant.

Nos vitesses de croissance évoluent entre des valeurs de 9 nm/min et 21 nm/min de façon linéaire avec le flux entrant d'élément III. Cela confirme qu'à cette température de 540°C, on se trouve bien dans un régime de dépôt où la croissance est limitée par l'apport en précurseurs.

Au cours de cette étude portée sur la croissance du matériau $\text{In}_x\text{Ga}_{1-x}\text{As}$ sur pseudo-substrat de GaAs/Si(001), nous avons pu comprendre et déterminer les paramètres expérimentaux qui régissent ces épitaxies. Tout d'abord, l'effet de la température a été observé dans la gamme 500°C – 560°C et nous avons montré que la morphologie de la surface est affectée. En effet, la rugosité présente en surface perd son aspect anisotrope quand la température augmente. Puis, assistés par une température encore plus élevée, les atomes en surface migrent depuis les parois d'antiphase, défavorables énergétiquement, laissant des sillons caractéristiques plus marqués. Dans tous les cas, la surface de la couche d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ est fortement influencée par les parois d'antiphase sous-jacentes dans la couche de GaAs et qui se propagent donc dans l' $\text{In}_x\text{Ga}_{1-x}\text{As}$. En revanche, la teneur en indium des couches reste globalement inchangée dans cette gamme de température. Ensuite, la relation entre les concentrations en indium de la phase vapeur et de la phase solide a été établie et il s'est avéré que les couches étaient moins riches en indium que le mélange gazeux. Pour l'expliquer, l'hypothèse de l'action d'un phénomène appelé « *lattice latching* » a été avancée. Il consiste à dire qu'afin de limiter le désaccord de paramètre de maille entre le matériau $\text{In}_x\text{Ga}_{1-x}\text{As}$ en croissance et la couche tampon de GaAs, les atomes d'indium en surface subissent une désorption plus importante qu'attendu. Enfin, les cinétiques de croissance de ces couches ont été calculées et on a montré qu'elles variaient proportionnellement avec le flux d'éléments III injecté dans le réacteur. La connaissance de ces paramètres de croissance va nous permettre par la suite un contrôle fin des épitaxies de puits quantiques d' $\text{In}_x\text{Ga}_{1-x}\text{As}$.

3.2 Croissance de puits quantique d' $\text{In}_x\text{Ga}_{1-x}\text{As}$

Dans cette partie sera étudiée la croissance de puits quantiques d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ dans une matrice de GaAs épitaxiée sur substrat de silicium nominal. Nous ferons dans un premier temps un bref rappel sur la théorie des puits quantiques puis nous étudierons la croissance des empilements à proprement parler, caractérisés par AFM, MEB, spectrométrie d'électrons Auger, SIMS et à l'aide de vues en coupe réalisées par faisceau d'ions et observées par STEM.

3.2.1 Rappel sur les puits quantiques

Les puits quantiques sont des couches de matériaux semi-conducteurs suffisamment fines (< 20 nm) pour que soient observables des phénomènes relevant de la mécanique quantique. Les porteurs de charges (électrons et trous) sont confinés dans une couche fine, le puits à proprement parler, (d'une dizaine de nanomètre par exemple), elle-même prise en tenaille entre des couches barrières (figure 3.8).

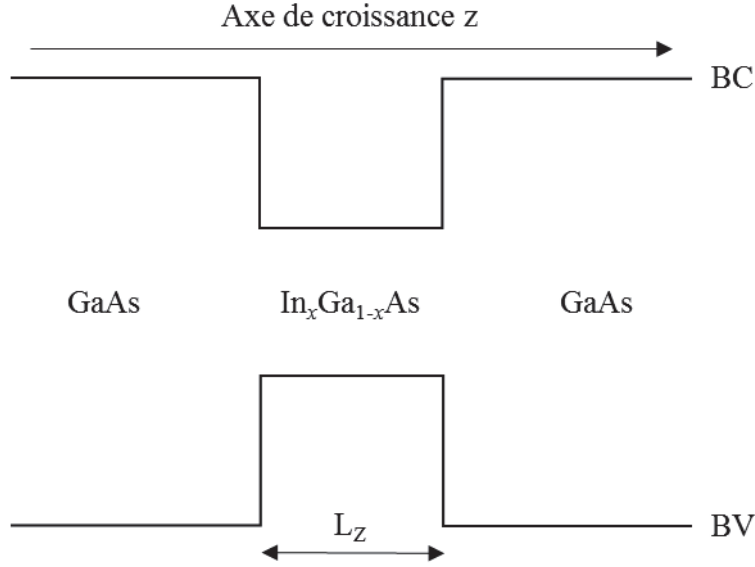


Figure 3.8 : Représentation schématisée de la structure de bande d'un puits quantique d' $\text{In}_x\text{Ga}_{1-x}\text{As}$.

Les niveaux d'énergie dans le puits correspondent aux solutions de l'équation de Schrödinger à une dimension :

$$-\frac{\hbar^2}{2m} \frac{d^2 \phi_n}{dz^2} + V(z) \phi_n = E_n \phi_n \quad (3.5)$$

où $V(z)$ est le potentiel vu par la particule le long de l'axe z , m est la masse effective de la particule, E_n et Φ_n sont l'énergie propre et la fonction propre associées à la n ème solution de l'équation.

Dans le cadre de l'approximation des hauteurs de barrières infinies, les solutions sont de la forme :

$$E_n = \frac{-\hbar^2}{2m} \left[\frac{n\pi}{L_z} \right]^2 \quad n = 1, 2, \dots \quad \phi_n = A \sin\left(\frac{n\pi z}{L_z}\right) \quad (3.6)$$

Ici, les niveaux d'énergie sont espacés de façon quadratique et les fonctions d'onde sont des sinusoïdes (figure 3.9). Dans cette formule, il est à noter que la référence des énergies est prise au fond du puits.

Les puits quantiques possèdent également des propriétés d'absorption optique singulières. Afin de les appréhender, nous nous plaçons dans un cas simple, où l'effet excitonique est négligé. Dans un semi-conducteur massif (ou 3D), sous l'effet de l'absorption d'un photon possédant une énergie plus grande que la bande interdite, un électron peut passer de la bande de valence à la bande de conduction. En revanche, dans un puits quantique, seules sont autorisées les transitions entre les états de même nombre quantique. Les porteurs pouvant encore se déplacer dans les directions parallèles à la couche, il n'y a pas vraiment de discrétisation de l'énergie mais des « sous-bandes » démarrant aux énergies calculées pour des états confinés. La densité d'état pour le

mouvement dans le puits est constante avec l'énergie, et forme donc une « marche » pour une sous-bande donnée (figure 3.10). Les mesures effectuées par spectroscopie de photoluminescence (PL) nous donnent donc l'énergie de transition entre des états de même nombre quantique et permettent de remonter aux propriétés du puits, comme l'épaisseur ou la composition.

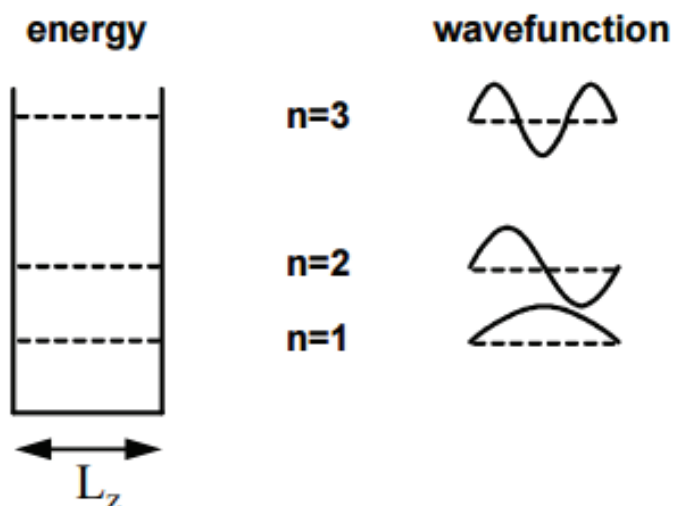


Figure 3.9 : Représentation schématique des niveaux d'énergie et des fonctions d'onde associées dans le cas d'un puits quantique « infini » [6].

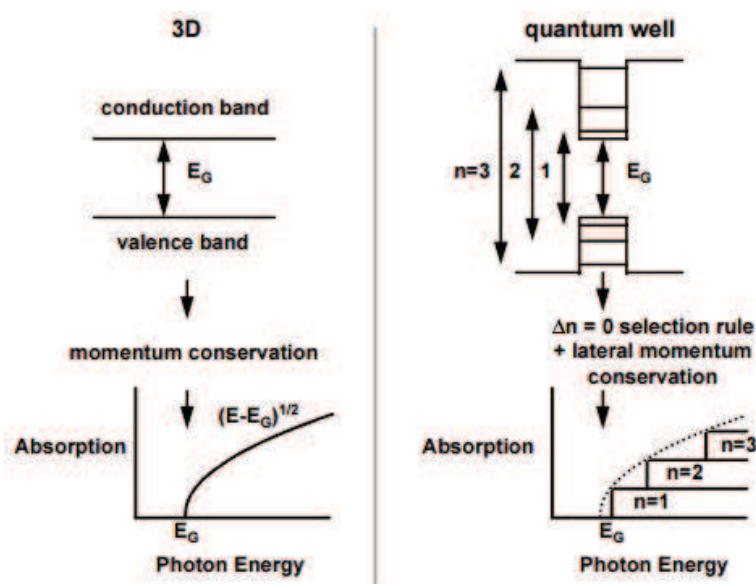


Figure 3.10 : Différence de comportement optique entre un matériau massif et un puits quantique [6].

3.2.2 Croissance et caractérisation de puits quantiques d' $\text{In}_x\text{Ga}_{1-x}\text{As}$

Dans cette partie, nous étudierons la croissance d'hétérostructures quantiques épitaxiées sur substrats de silicium via des couches tampons de GaAs avec et sans parois d'antiphase. Le matériau choisi pour nos barrières électroniques est l'AlAs, ou l' $\text{Al}_y\text{Ga}_{1-y}\text{As}$ avec y environ égal à 0,3. L'AlAs possède une large bande interdite et a l'avantage d'avoir un paramètre de maille quasi similaire au GaAs. Son inconvénient en tant que barrière vient de sa faculté à s'oxyder très facilement en présence de dioxygène, ce qui dégrade ses propriétés. Pour y remédier, il nous suffit de ne pas le laisser en contact avec l'air ambiant en le recouvrant de GaAs par exemple. L'empilement classiquement utilisé dans nos études est donné en figure 3.11. Les puits sont composés d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ avec x égal à 0,1. Cette teneur relativement faible en indium permet d'éviter la relaxation du puits car l'épaisseur critique du système $\text{In}_{0,1}\text{Ga}_{0,9}\text{As}/\text{GaAs}$ (ou AlAs) est de l'ordre de 20 nm [7]–[9]. Pour autant, la différence d'énergie d'émission de photoluminescence entre le GaAs et l' $\text{In}_{0,1}\text{Ga}_{0,9}\text{As}$ est assez importante, 120 meV environ, pour pouvoir observer deux pics bien résolus. Une couche d'AlAs d'une cinquantaine de nanomètres est également ajoutée dans le tampon de GaAs, nous avons observé qu'elle permettait de réduire la rugosité de l'empilement.

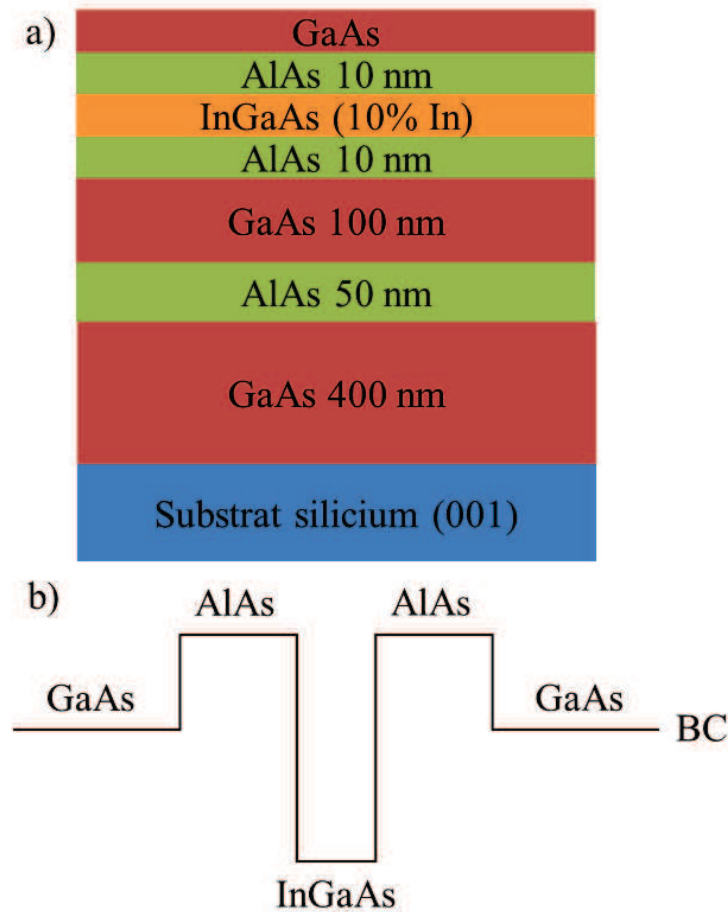


Figure 3.11 : a) Schéma de l'empilement réalisé pour nos puits quantiques d' InGaAs sur substrat silicium nominaux. b) Représentation de la structure de la bande de conduction autour du puits d' InGaAs .

Une première série de croissance visait à étudier des puits quantiques de différentes épaisseurs : 5, 10 et 20 nm. Ces hétérostructures ont été réalisées sur des couches de GaAs/Si (001) présentant des parois d'antiphase. La surface de ces échantillons comporte donc également des parois d'antiphase, d'une densité comprise entre $2,6 \mu\text{m}^{-1}$ et $3,2 \mu\text{m}^{-1}$ (figure 3.12). On peut donc en déduire que les parois d'antiphase traverse également le puits quantique. Ceci est confirmé sur des vues en coupe par STEM (*Scanning Transmission Electron Microscopy*) sur des lames minces réalisées par faisceau d'ions focalisé (figure 3.13). A la traversée de l'hétérostructure InGaAs/AlAs, une paroi d'antiphase entraîne un désordre dans l'empilement. On peut voir qu'elle crée un étranglement ou un élargissement des différentes couches mais également que d'un domaine d'antiphase à un autre, l'épaisseur du puits d'InGaAs change. On peut y voir un effet d'une variation locale de contrainte de la couche tampon sous-jacente qui entrainerait une différence de vitesse de croissance des couches de l'hétérostructure. On peut également penser qu'autour des parois d'antiphase, des variations de composition peuvent être présentes, assistées par des phénomènes de diffusion.

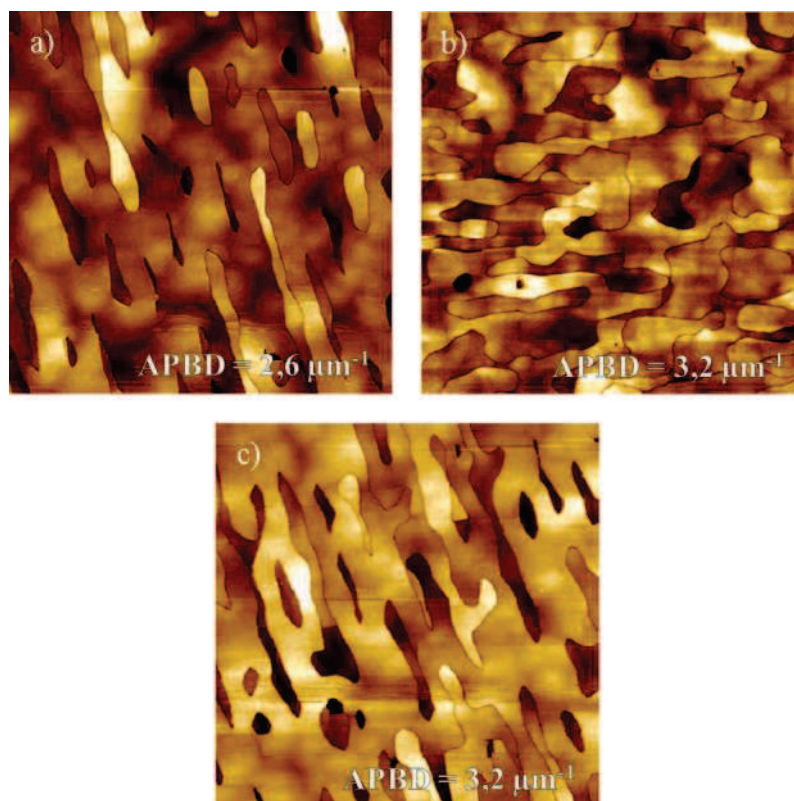


Figure 3.12 : Images AFM, $5 \times 5 \mu\text{m}^2$, de la surface d'hétérostructures à puits quantique d' $\text{In}_{0,1}\text{Ga}_{0,9}\text{As}$ (fig. 3.11) de différentes épaisseurs : a) 5 nm, b) 10 nm et c) 20 nm.

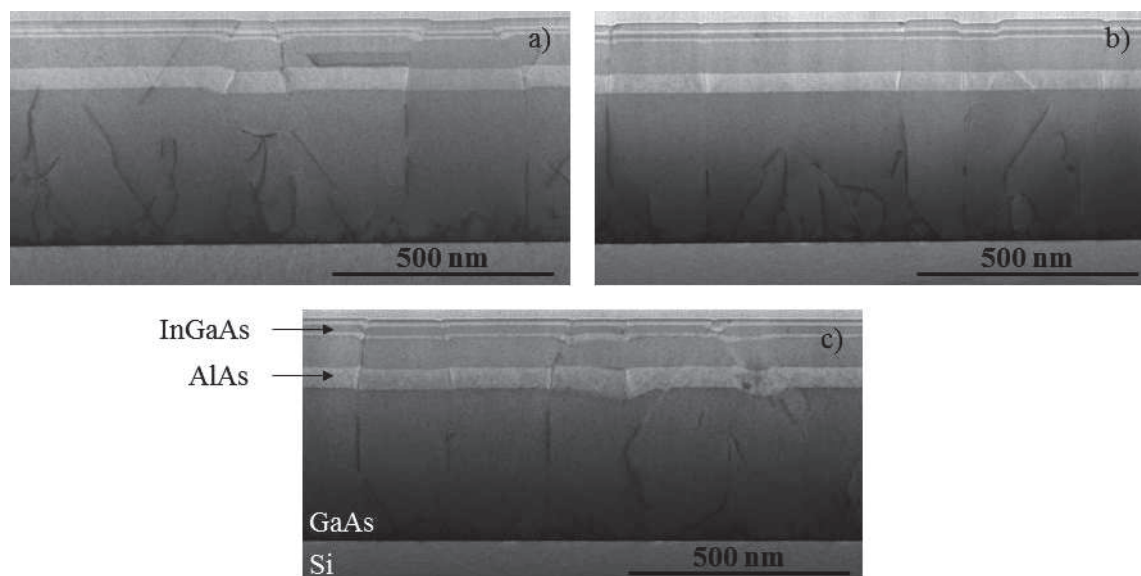


Figure 3.13 : Vues en coupe STEM de puits quantiques d' $\text{In}_{0,1}\text{Ga}_{0,9}\text{As}$ épitaxiés sur une couche tampon de GaAs/AlAs déposée sur un substrat de silicium (001) nominal. Différentes épaisseurs d' $\text{In}_{0,1}\text{Ga}_{0,9}\text{As}$ ont été réalisées : a) 5 nm, b) 10 nm et c) 20 nm.

Les profils de composition d'indium de ces hétérostructures ont ensuite été obtenus par des mesures SIMS et de spectrométrie d'électrons Auger (en collaboration avec V. Gorbenko [10] et E. Martinez au CEA-LETI). Les résultats sont présentés en figure 3.14 et les taux d'indium extraits des profils sont rassemblés dans le tableau 3.1.

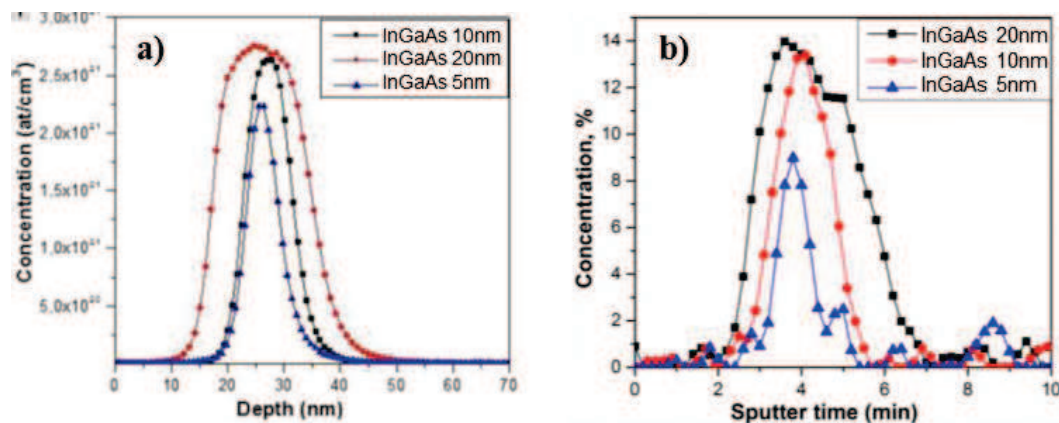


Figure 3.14 : Profils de composition d'indium obtenus par a) SIMS et b) spectrométrie Auger des puits quantiques d' $\text{In}_{0,1}\text{Ga}_{0,9}\text{As}$ de 5 nm, 10 nm et 20 nm.

Echantillon	Taux d'indium x (%), SIMS	Taux d'indium x (%), Auger
InGaAs 5 nm	10	9
InGaAs 10 nm	13	13
InGaAs 20 nm	13	14

Tableau 3.1 : Taux d'indium x des puits quantiques d' $\text{In}_{0,1}\text{Ga}_{0,9}\text{As}$ extraits des profils de composition obtenus par SIMS et spectrométrie Auger.

Les taux d'indium ainsi mesurés sont légèrement supérieurs à la concentration initialement visée de 10%, dans le cas des puits de 10 nm et 20 nm (13-14%). Le taux plus faible mesuré pour le puits de 5 nm est dû aux limitations de résolution en profondeur des méthodes d'acquisition des profils. En effet, on peut voir sur la figure 3.14 que les pics d'indium des puits de 5 nm n'atteignent pas leur maximum avant de décroître.

Dans un but de comparaison, le même empilement a été réalisé sur une couche tampon de GaAs/AlAs sur silicium (001) très légèrement désorienté dans la direction $\langle 110 \rangle$, ne présentant cette fois-ci plus de parois d'antiphase en surface, comme vu dans le chapitre 2. On peut voir qu'à la surface de cet échantillon, les parois d'antiphase sont absentes (figure 3.15.a). L'observation en coupe STEM (figure 3.15.b et c) montre également que l'hétérostructure quantique n'est pas traversée par des parois d'inversion et de ce fait, ne présente plus de discontinuités d'épaisseur. En revanche, on observe d'autres défauts (dislocations, fautes d'empilement) provenant de la couche tampon qui eux traversent le puits d' $\text{In}_{0,1}\text{Ga}_{0,9}\text{As}$ de 5 nm d'épaisseur.

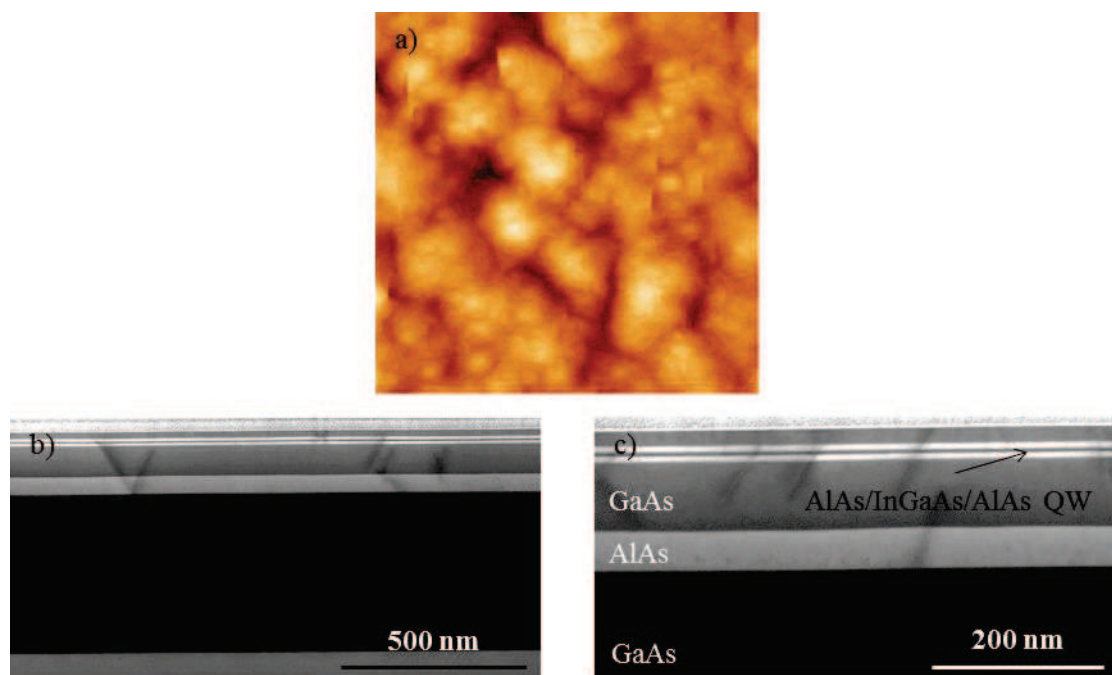


Figure 3.15 : Puits quantique d' $\text{In}_{0,1}\text{Ga}_{0,9}\text{As}$ épitaxié sur un tampon de GaAs/AlAs sans APB. a) Image AFM ($5 \times 5 \mu\text{m}^2$) de la surface, b) et c) Images STEM en coupe.

Ces différents échantillons nous permettront d'observer, via des analyses optiques, l'impact de certains défauts cristallins sur les propriétés d'émission des hétérostructures d' InGaAs épitaxiés sur substrat de silicium (001) nominal.

3.3 Propriétés optiques de puits quantiques d' $\text{In}_x\text{Ga}_{1-x}\text{As}$

Il sera ici question d'analyser les propriétés optiques des puits quantiques d' InGaAs épitaxiés sur silicium nominal décrits en section 3.2.2. Nous verrons en premier

lieu les mesures de PL réalisées à température ambiante, puis nous nous intéresserons à des cartographies de cathodoluminescence faites à basse température.

3.3.1 Photoluminescence à température ambiante

Le principe de la PL est résumé en figure 3.16 dans le cas d'un puits quantique. Sous l'action d'un rayonnement lumineux monochromatique d'énergie $h\nu_{exc}$, plus grande que la valeur de bande interdite, des paires électron-trou sont créées dans le matériau. Après relaxation de ces porteurs de charge vers les niveaux d'énergie propres du puits, ces derniers peuvent se recombiner de façon radiative et ainsi libérer un photon dont l'énergie est caractéristique de la transition entre états quantiques excités, $h\nu_{PL}$. La mesure de cette énergie d'émission nous permet donc de remonter aux caractéristiques du puits, comme l'épaisseur, la contrainte ou la composition. Une autre grandeur intéressante est la largeur à mi-hauteur (FWHM) des pics de PL, qui traduit la qualité du puits quantique. Plus le pic est fin, plus le puits possède un comportement idéal et plus sa qualité cristalline est bonne. En revanche, une FWHM importante traduit un désordre cristallin au sein du puits, comme des défauts, des interfaces peu abruptes ou encore des inhomogénéités de composition chimique.

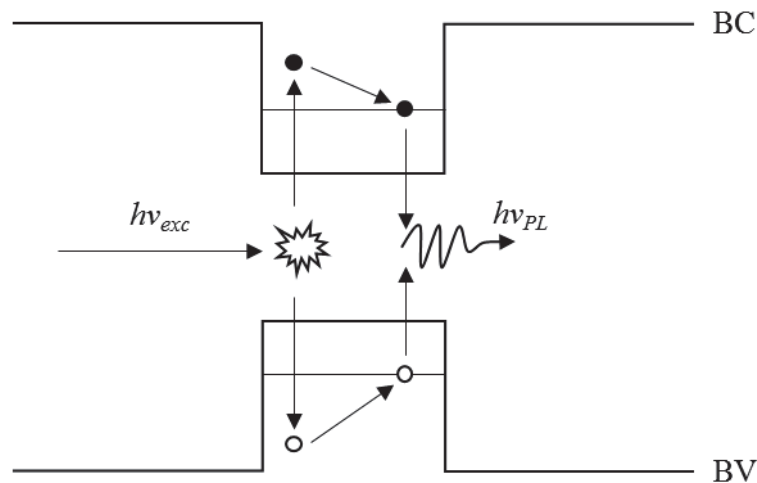


Figure 3.16 : Schéma de principe de la photoluminescence dans un puits quantique.

Nous avons d'abord cherché à comparer les spectres de photoluminescence des puits quantiques d' InGaAs d'épaisseurs différentes et traversés par des parois d'antiphase, présentés en figure 3.13. Dans le graphique présenté en figure 3.17, sont rassemblés les différents spectres de PL. Les pics centrés autour de 1,42 eV correspondent au signal du GaAs tandis que les pics compris entre 1,25 eV et 1,33 eV sont les puits quantiques d' InGaAs . Afin de comparer aisément l'allure des pics, l'intensité du signal du GaAs a été normalisée.

On remarque en premier lieu le décalage des pics de l' InGaAs en fonction de l'épaisseur du puits. Cela est bien en accord avec l'expression des valeurs d'énergie propre (3.6) : plus le puits est fin (faible L_z), plus les niveaux d'énergie sont hauts, donc plus les photons réémis en PL sont énergétiques. Si on s'intéresse maintenant à la valeur

de ces énergies d'émission, il est possible de remonter à la composition réelle des puits d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ dont la concentration en indium ciblée est de $x = 0,1$. En effet, la position des pics dépend de l'épaisseur, de la composition et de la contrainte des puits. Or, les observations en coupe par STEM nous donnent une mesure précise de l'épaisseur de chaque couche d' InGaAs . On fait également l'hypothèse que les couches d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ sont complètement contraintes puisque les épaisseurs sont inférieures à l'épaisseur critique de relaxation plastique du matériau. Grâce à des simulations réalisées avec le logiciel « Nextnano » [11], nous avons donc pu calculer la teneur en indium de chacune des trois couches d' InGaAs . Ces résultats sont présentés dans le tableau 3.2.

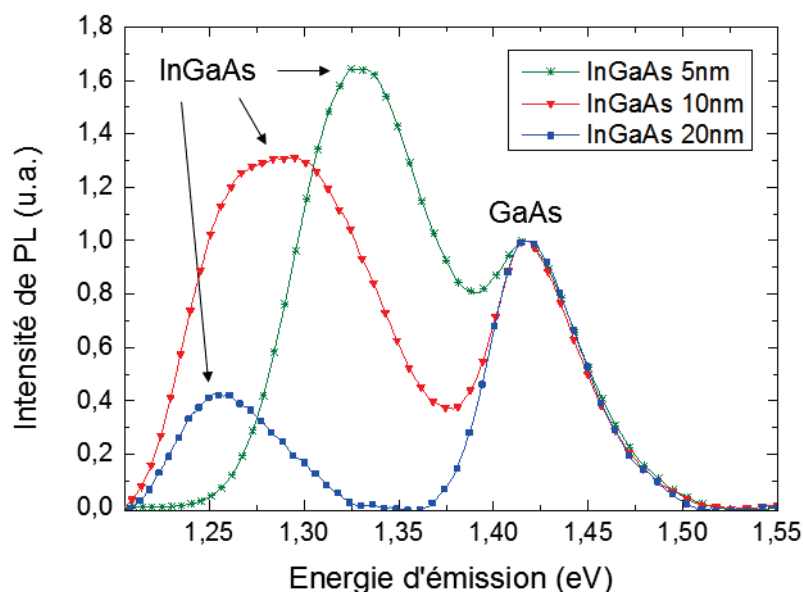


Figure 3.17 : Spectres de photoluminescence à température ambiante des puits quantiques d' InGaAs d'épaisseurs 5, 10 et 20 nm présentés dans la figure 3.13. Les pics centrés autour de 1,42 eV correspondent au signal du GaAs tandis que les pics compris entre 1,25 eV et 1,33 eV sont les puits quantiques.

Echantillon	Position du pic (eV)	FWHM (meV)	Epaisseur mesurée (nm)	Concentration d'indium
InGaAs 5 nm	1,33	74	6,9	16%
InGaAs 10 nm	1,29	108	9,5	15%
InGaAs 20 nm	1,26	51	27,7	15%

Tableau 3.2 : Récapitulatif des données extraites des spectres de PL (fig. 3.16), épaisseurs des couches d' InGaAs mesurées par STEM et concentrations d'indium calculées par simulation.

Les concentrations calculées à partir des simulations nous donnent une teneur en indium de 15% environ au sein des puits quantiques et sont toutes concordantes entre elles. De plus, elles montrent un bon accord avec les valeurs extraites des profils de composition chimique (tableau 3.1). Cela nous conforte dans l'idée que l'extraction de la composition chimique par PL est fiable. Une vérification est tout de même possible. En effet, on sait

que l'énergie d'émission de PL varie avec $(1/L_z^2)$ (eq. 3.6), on peut donc tracer $E_{PL} = f(1/L_z^2)$ et effectuer une régression linéaire avec en condition limite $E_{PL} = E_g(\text{In}_{0,16}\text{Ga}_{0,84}\text{As})$ quand $(1/L_z^2)$ tend vers 0, i.e. quand la couche retrouve ces propriétés de matériau massif. On peut en voir les résultats en figure 3.18. On peut observer, malgré le peu de points expérimentaux disponibles, une bonne concordance entre nos mesures et la représentation de la variation d'énergie d'émission de PL donnée par l'équation (3.6). On remarque qu'il existe un écart de 5% entre la concentration visée et ce que l'on mesure en photoluminescence, et ce, malgré la calibration effectuée au préalable. Cela peut être dû à des phénomènes liés aux contraintes ou encore à la ségrégation de l'indium, présents dans des couches très minces [12] et absents lors de notre calibration sur film épais.

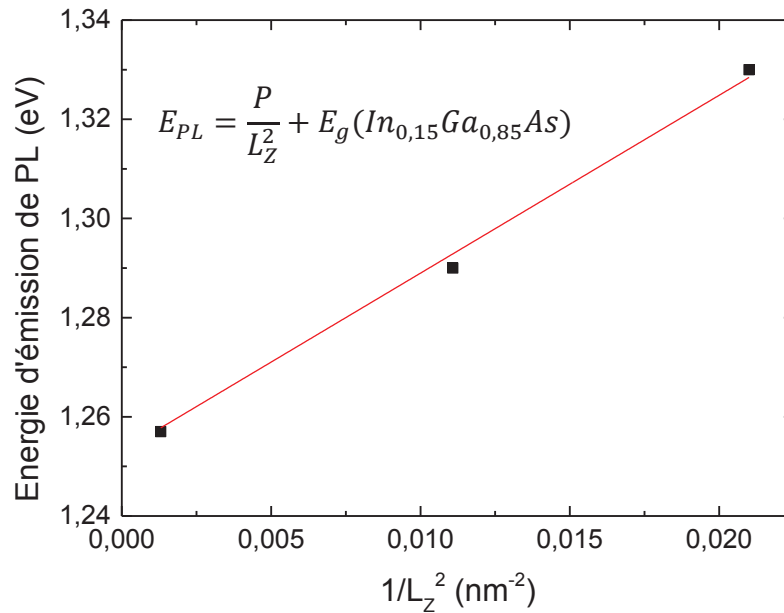


Figure 3.18 : Tracé des énergies d'émission de PL en fonction de $(1/L_z^2)$ et régression linéaire associée (P est la pente donnée par la régression linéaire).

Il est également intéressant de se pencher sur les valeurs de largeur à mi-hauteur (FWHM) des pics de PL de ces puits quantiques d' InGaAs , puisqu'elles sont le reflet de la qualité de l'hétérostructure. Dans notre cas, elles ne semblent pas suivre de tendance claire avec l'épaisseur de la couche d' InGaAs mais on peut cependant commenter leurs valeurs. Des largeurs de moins de 110 meV obtenues à température ambiante constituent des résultats très encourageants, compte tenu de la finesse de la couche tampon de GaAs, de 500 nm d'épaisseur seulement. Cela veut donc dire que la qualité cristalline intrinsèque du puits est assez bonne et les interfaces AlAs/ InGaAs assez abruptes pour que l'hétérostructure émette un signal lumineux.

Nous nous sommes ensuite intéressés à la comparaison entre les réponses optiques de puits d' InGaAs traversés par des parois d'antiphase ou non. C'est dans ce but qu'a été préparé l'échantillon précédemment présenté en figure 3.15. Il nous a également paru intéressant de faire l'acquisition du spectre de photoluminescence d'un substrat de GaAs commercial, à des fins de comparaison avec notre couche tampon de

GaAs. Ces différents spectres de PL sont montrés dans le graphique de la figure 3.19. Les acquisitions ont été réalisées dans les mêmes conditions, donc les intensités des pics de GaAs et d' InGaAs sont comparables entre elles. Pour pouvoir comparer plus facilement les courbes, l'intensité du signal du substrat massif de GaAs a été divisée par 20. Les données extraites de ces spectres sont rassemblées dans le tableau 3.3. On ne remarque pas de grande différence entre les pics des puits d' InGaAs avec et sans parois d'antiphase, les intensités et les largeurs à mi-hauteur sont équivalentes.

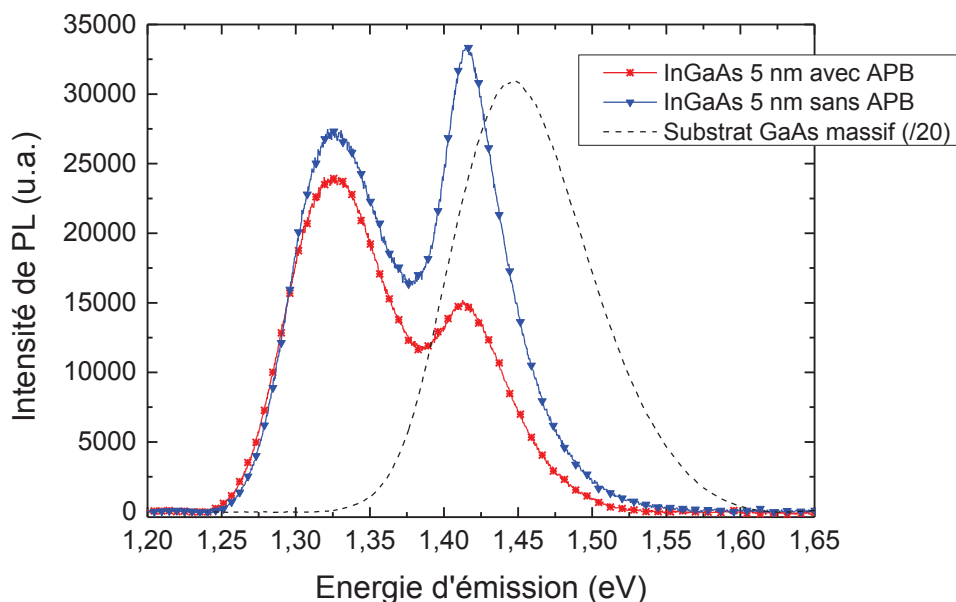


Figure 3.19 : Spectres de photoluminescence à température ambiante de puits quantiques d' InGaAs de 5 nm d'épaisseur avec et sans parois d'antiphase. La ligne pointillée représente le spectre d'un substrat de GaAs nu, son intensité a été ici divisée par 20.

Echantillon	GaAs			InGaAs		
	Intensité (u.a.)	Position (eV)	FWHM (meV)	Intensité (u.a.)	Position (eV)	FWHM (meV)
InGaAs 5 nm avec APB	15 000	1,415	71	24 000	1,330	74
InGaAs 5 nm sans APB	33 000	1,415	52	27 000	1,330	76
Substrat GaAs	620 000	1,440	112	--	--	--

Tableau 3.3 : Intensités, positions et largeurs des pics de photoluminescence associées aux spectres de la figure 3.18.

En revanche, les pics associés aux couches tampons de GaAs montrent des différences notables. En effet, dans le cas où il n'y a pas de parois d'antiphase, l'intensité du signal de PL est deux fois plus importante que lorsqu'elles sont présentes, et la largeur à mi-hauteur est réduite de 25%. Ces résultats mettent en évidence le rôle de centre de recombinaison non radiatif des parois d'antiphase. En effet, une partie des paires électron-trou créées par le rayonnement monochromatique incident se recombine de façon non

radiative au niveau des APB, sans émettre de photons, ce qui limite l'intensité de la réponse optique du matériau. On comprend alors qu'une couche exempte de parois d'antiphase émette un signal de photoluminescence plus intense. On reste cependant 20 fois moins intense que le substrat de GaAs massif qui lui est bien plus épais et dépourvu des dislocations émergentes, créées par la différence de paramètre de maille avec le substrat, présentes dans nos couches épitaxiales. La différence d'énergie de photoluminescence de 35 meV observée entre les couches de GaAs épitaxiées sur silicium et le substrat massif de GaAs peut s'expliquer soit par la contrainte résiduelle des couches de GaAs/Si, soit par leur dopage non intentionnel des couches de GaAs par diffusion des atomes de silicium du substrat.

La réduction de la largeur à mi-hauteur du pic de GaAs constatée entre les échantillons avec et sans APB peut quant à elle être interprétée comme une amélioration de la qualité et de l'homogénéité du cristal de GaAs ainsi que de ses interfaces. Car en réalité, une grande partie de la luminescence du GaAs provient de la couche comprise entre l'hétérostructure quantique et la couche d'AlAs intercalée dans le tampon. Cette couche de GaAs est en effet isolée à la fois de l'interface (fortement disloquée et dense en APB) avec le substrat de silicium et de la surface oxydée de l'échantillon. Les interfaces critiques pour le signal émis par le GaAs sont donc celles qu'il partage avec l'AlAs. Or on a vu sur les images STEM en coupe (figure 3.13) que les parois d'antiphase génèrent un désordre local important dans ces régions, ce qui supprime le caractère abrupt de ces interfaces et élargit le pic de photoluminescence du GaAs.

Ces interprétations ne s'appliquent cependant pas au puits quantique d' InGaAs puisqu'aucune nette amélioration du signal n'est observée quand les parois d'antiphase sont supprimées. Cela nous laisse penser que les défauts encore présents dans le puits sans APB (dislocations, fautes d'empilement), observables sur les images STEM en coupe (figure 3.14), ou les inhomogénéités de composition chimique au sein de la couche sont plus rédhibitoires pour la qualité du signal de photoluminescence de l' InGaAs . Les perspectives d'amélioration sont donc liées à la réduction ou au filtrage des dislocations émergentes et à l'amélioration de la qualité des interfaces du puits quantiques.

Cette étude des propriétés de photoluminescence de nos puits quantiques d' InGaAs épitaxiés sur substrat de silicium nominal a tout d'abord permis de démontrer qu'il était possible de faire croître des hétérostructures quantiques d' InGaAs/AlAs dont la qualité est assez bonne pour qu'elles émettent un signal de PL à température ambiante et ce, via une couche tampon de GaAs/AlAs de 500 nanomètres seulement. On a ensuite pu voir que l'énergie d'émission pouvait être modulée en ajustant l'épaisseur du puits. Et enfin, l'effet de dégradation du signal de PL liée aux parois d'antiphase a pu être observé mais des analyses plus locales pourraient nous permettre d'en apprendre d'avantage.

3.3.2 Cathodoluminescence à basse température

Le principe de la cathodoluminescence (CL) est proche de celui de la photoluminescence, à cela près que le rayonnement excitateur n'est pas optique mais électronique. Les systèmes de CL sont souvent montés dans des microscopes électroniques à balayage, où ils partagent la même source d'électrons. L'avantage du faisceau électronique qui nous intéresse ici, est qu'il peut être focalisé jusqu'à atteindre une zone d'exposition inférieure à 10 nanomètres. On peut donc exciter l'échantillon sur un grand nombre de très petites régions adjacentes grâce au balayage du faisceau électronique, afin de former une cartographie de luminescence à une échelle locale. Cette technique est notamment utilisée sur les semi-conducteurs III-V de type nitrure, car du fait de la courte longueur de diffusion des porteurs de charges dans ces matériaux, il est possible d'imager les petites zones d'extinction de luminescence en surface qui sont des dislocations émergentes, afin d'en mesurer la densité [13]–[15]. Dans notre cas, du fait de longueur de diffusion plus importante dans les arséniures, il paraît plus difficile de pouvoir compter les dislocations émergentes en surface mais il semble intéressant de faire état de l'homogénéité de la luminescence, et donc de la qualité des matériaux épitaxiés, à l'échelle nanométrique [16], [17].

Nos premiers essais à température ambiante ne nous ont pas permis l'acquisition de cartographies par manque de signal, nous avons donc choisi d'effectuer ces mesures à basse température en refroidissant les échantillons à l'hélium liquide autour de 5-10K. Les échantillons choisis pour cette caractérisation sont des puits quantiques d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ (composition x visée de 0,1)/AlAs de 10 nanomètres d'épaisseur (même structure que celle présentée en figure 3.11.b) épitaxiés sur différents substrats : pseudo-substrat GaAs/Si avec parois d'antiphase, pseudo-substrat GaAs/Si sans parois d'antiphase et substrat de GaAs. Les résultats sont compilés dans la figure 3.20. Dans la colonne de gauche sont présentées les images de la topographie de surface des échantillons (MEB) et dans la colonne de droite, on retrouve les cartographies de CL correspondantes. Pour chaque échantillon, des repères topographiques, qui masquent la luminescence, nous permettent de faire correspondre les deux images : des plots de platine (a) et b)) ou bien des particules (c), d), e) et f)). La brillance de chacun des pixels des cartographies correspond à l'intensité intégrée du signal de CL récolté entre 1,30 eV et 1,32 eV en ce point. Les zones sombres représentent donc l'absence de luminescence. La tension d'accélération du faisceau d'électrons est ici de 3 keV.

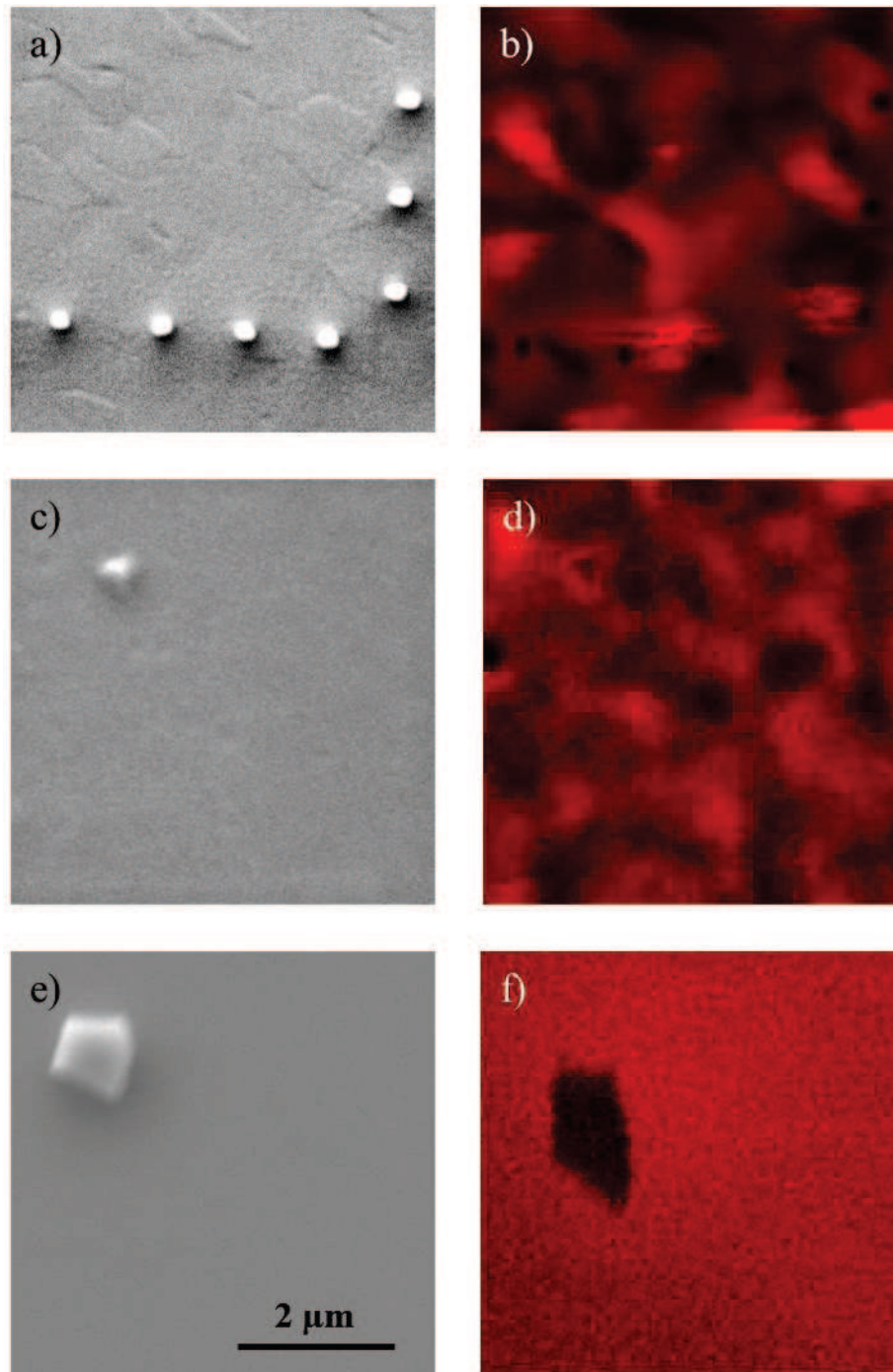


Figure 3.20 : Images MEB et cartographies de cathodoluminescence à basse température (5K) de puits quantiques d' InGaAs épitaxiés différents substrats : a) et b) couche tampon de GaAs/Si avec parois d'antiphase (les points blancs sont des plots de platine), c) et d) couche tampon de GaAs/Si sans parois d'antiphase, e) et f) substrat de GaAs massif. Sur les cartographies de CL, la brillance de chaque pixel correspond à l'intensité intégrée du signal récolté entre 1,30 et 1,32 eV en ce point précis. Les zones sombres représentent l'absence de luminescence.

Le puits quantique d' InGaAs présentant des parois d'antiphase (figure 3.20.a et b) montre une forte inhomogénéité de cathodoluminescence. On distingue des motifs

linéaires sombres qui correspondent bien aux APB visibles sur l'image topographique. On confirme donc ici le caractère de centre de recombinaison non radiatif des APB. Dans le cas du puits quantique exempt d'APB (figure 3.20.c et d), la cathodoluminescence n'est toujours pas homogène, en comparaison de l'échantillon épitaxié sur substrat de GaAs (figure 3.20.e et f). Cependant, on note l'absence des lignes sombres dues aux APB. Les taches sombres que l'on observe sont attribuées aux dislocations émergentes qui traversent la couche d'InGaAs (figure 3.15.c), agissant elles aussi comme des centres de recombinaison non radiatifs. L'échantillon qui nous sert de témoin est un puits d'InGaAs épitaxié sur un substrat de GaAs (figure 3.20.e et f), il ne présente donc pas de parois d'antiphase ni de dislocation émergente, car il n'y a pas ici de différence de paramètre de maille entre le substrat et la couche épitaxiée (l'épaisseur du puits d'InGaAs étant plus faible que l'épaisseur critique, il partage donc le même paramètre de maille, dans le plan de croissance, avec le substrat). La tache sombre correspond à la particule visible sur l'image topographique.

Ces analyses locales de cathodoluminescence nous ont permis d'en apprendre davantage sur la qualité de nos épitaxies d'InGaAs, suivant le type de substrat utilisé. La suppression des parois d'antiphase constitue une nette amélioration de l'uniformité de la luminescence et donc de la qualité du puits quantique. Les dislocations émergentes restent une source d'inhomogénéité non négligeable. L'uniformité de la qualité de surface des couches d'InGaAs est un facteur important pour la fabrication des futurs dispositifs. En effet, un dispositif fabriqué au niveau d'une paroi d'antiphase ou d'une dislocation émergente verra ses propriétés dégradées. La suppression de ces défauts conduit donc à un plus grand nombre de dispositifs exploitable par unité de surface.

3.4 Conclusion

Tout au long de ce chapitre, nous nous sommes intéressés à la croissance du matériau InGaAs, matériau d'intérêt pour les canaux des futurs transistors III-V à haute mobilité. Nous avons dans un premier temps calibré les différentes concentrations d'indium en fonction de la température de croissance et du rapport des flux de précurseurs d'indium et de gallium injectés dans le réacteur de MOCVD. Nous nous ainsi rendu compte qu'une différence existait entre la composition de ce mélange gazeux et la teneur effective d'indium dans les couches. Pour l'expliquer, nous avons avancé l'hypothèse de l'occurrence d'un phénomène appelé « lattice latching » qui limite l'incorporation d'indium dans le but de réduire la différence de paramètre de maille avec le substrat.

Afin de rendre compte de la qualité du matériau InGaAs épitaxié sur nos couches tampon de GaAs/Si, nous avons opté pour des caractérisations optiques, non destructives et ne demandant que peu (ou pas) d'étapes technologiques préalables. Pour cela, nous avons réalisé des puits quantiques d'InGaAs/AlAs (10% d'indium) de différentes épaisseurs et sur différents substrats (avec et sans parois d'antiphase), que nous avons dans un premier temps analysé par spectroscopie de photoluminescence. Le premier fait marquant étant que ces couches émettaient un signal de PL à température ambiante, et ce sur une couche tampon de GaAs relativement fine (500 nm environ). Nous avons

également pu remonter de façon précise à la composition réelle de nos puits quantiques et avons observé le décalage de l'énergie d'émission de PL avec l'épaisseur du puits. Nous avons également pu nous rendre compte de l'amélioration du signal de PL due à la suppression des parois d'antiphase, ce qui se traduit par une meilleure qualité cristalline de l'hétérostructure.

Enfin, des observations en cathodoluminescence à basse température sur ces puits quantiques ont confirmé le comportement de centre de recombinaison non radiatif des parois d'antiphase. Cependant, sur les échantillons sans APB, des inhomogénéités de luminescence, et donc de qualité du matériau, subsistent. La densité non négligeable de dislocations émergentes semble en être la cause. Il devient donc important de nous intéresser à des méthodes de filtration de ces défauts émergents.

Bibliographie

- [1] M. T. Emeny, L. K. Howard, K. P. Homewood, J. D. Lambkin, and C. R. Whitehouse, "A photoluminescence study of indium desorption from strained Ga_{1-x}In_xAs/GaAs," *J. Cryst. Growth*, vol. 111, no. 1–4, pp. 413–418, May 1991.
- [2] N. I. Buchan, C. A. Larsen, and G. B. Stringfellow, "Mass spectrometric studies of trimethylindium pyrolysis," *J. Cryst. Growth*, vol. 92, no. 3–4, pp. 591–604, Oct. 1988.
- [3] M. Sugiyama, K. Kusunoki, Y. Shimogaki, S. Sudo, Y. Nakano, H. Nagamoto, K. Sugawara, K. Tada, and H. Komiyama, "Kinetic studies on thermal decomposition of MOVPE sources using fourier transform infrared spectroscopy," *Appl. Surf. Sci.*, vol. 117–118, pp. 746–752, Jun. 1997.
- [4] G. B. Stringfellow, "The importance of lattice mismatch in the growth of Ga_xIn_{1-x}P epitaxial crystals," *J. Appl. Phys.*, vol. 43, no. 8, p. 3455, 1972.
- [5] F. Bugge, U. Zeimer, M. Sato, M. Weyers, and G. Tränkle, "MOVPE growth of highly strained InGaAs/GaAs quantum wells," *J. Cryst. Growth*, vol. 183, no. 4, pp. 511–518, Feb. 1998.
- [6] G.-L. Oppo and Scottish Universities Summer School in Physics, Eds., *Quantum dynamics of simple systems: [proceedings of] the Forty Fourth Scottish Universities Summer School in Physics, Stirling, August 1994*, Reprinted as paperback. Edinburgh: Scottish Univ. Summer School in Physics [u.a.], 1997.
- [7] G. Sęk, J. Misiewicz, D. Radziejewicz, M. Tłaczała, M. Panek, and R. Korbutowicz, "Critical layer thickness of InGaAs on GaAs examined by photoreflectance spectroscopy," *Vacuum*, vol. 50, no. 1–2, pp. 219–221, May 1998.
- [8] A. Jasik, J. Sass, K. Mazur, and M. Wesolowski, "Investigation of strained InGaAs layers on GaAs substrate," *Opt. Appl.*, vol. 37, no. 3, pp. 237–242, 2007.
- [9] B. Elman, E. S. Koteles, P. Melman, K. Ostreicher, and C. Sung, "Low substrate temperature molecular beam epitaxial growth and the critical layer thickness of InGaAs grown on GaAs," *J. Appl. Phys.*, vol. 70, no. 5, p. 2634, 1991.

- [10] V. Gorbenko, “Caractérisation par faisceaux d’ions d’hétérostructures III-V pour les applications micro et optoélectroniques,” Université Grenoble-Alpes, Grenoble, 2015.
- [11] A. Trellakis, T. Zibold, T. Andlauer, S. Birner, R. K. Smith, R. Morschl, and P. Vogl, “The 3D nanometer device project nextnano: Concepts, methods, results,” *J. Comput. Electron.*, vol. 5, no. 4, pp. 285–289, May 2007.
- [12] R. R. Pelá, L. K. Teles, M. Marques, and S. Martini, “Theoretical study of the indium incorporation into III-V compounds revisited: The role of indium segregation and desorption,” *J. Appl. Phys.*, vol. 113, no. 3, p. 33515, 2013.
- [13] M. Albrecht, A. Cremades, J. Krinke, S. Christiansen, O. Ambacher, J. Piqueras, H. P. Strunk, and M. Stutzmann, “Carrier Recombination at Screw Dislocations in n-Type AlGa_N Layers,” *Phys. Status Solidi B*, vol. 216, no. 1, pp. 409–414, Nov. 1999.
- [14] T. Hino, S. Tomiya, T. Miyajima, K. Yanashima, S. Hashimoto, and M. Ikeda, “Characterization of threading dislocations in GaN epitaxial layers,” *Appl. Phys. Lett.*, vol. 76, no. 23, p. 3421, 2000.
- [15] S. J. Henley and D. Cherns, “Cathodoluminescence studies of threading dislocations in InGa_N/Ga_N as a function of electron irradiation dose,” *J. Appl. Phys.*, vol. 93, no. 7, p. 3934, 2003.
- [16] G. A. Reid, K. Nauka, S. J. Rosner, S. M. Koch, and J. S. Harris, “Spatial Inhomogeneities of the Luminescence and Electrical Properties of Mbe Grown GaAs on Si,” *MRS Proc.*, vol. 116, Jan. 1988.
- [17] K. Nauka, G. A. Reid, and Z. Liliental-Weber, “Electron beam induced current and cathodoluminescence imaging of the antiphase domain boundaries in GaAs grown on Si,” *Appl. Phys. Lett.*, vol. 56, no. 4, p. 376, 1990.

Chapitre 4

Epitaxie localisée de GaAs et d'InGaAs

Dans ce dernier chapitre, nous étudions l'épitaxie sélective. Associée à une croissance dans des cavités qui vont filtrer les défauts par leur géométrie, on peut obtenir une réduction de la quantité des défauts cristallins (dislocations émergentes et les parois d'antiphase) qui limitent l'entrée des matériaux III-V dans les dispositifs microélectroniques. En utilisant cette approche, les épaisseurs de matériaux déposées demeurent faibles. Cette méthode est appelée ART (pour *Aspect Ratio Trapping* en anglais, que l'on peut traduire par piégeage des défauts par rapport d'aspect). Elle est employée pour des croissances d'InP/Si avec [1] ou sans [2] germe de Ge ou encore, comme dans notre cas pour des croissances de GaAs/Si [3]. La localisation de l'épitaxie est garantie par un dépôt par MOCVD via un masque de silice réalisé sur substrats de silicium (001) nominal. Le matériau III-V va en effet se déposer préférentiellement dans les zones ouvertes du masque, qui débouchent sur le substrat Si. La première partie de ce chapitre sera consacrée à la fabrication et aux caractéristiques de ce masque de SiO₂, puis nous nous intéresserons au dépôt sélectif du matériau GaAs. Ensuite, la réalisation de puits quantiques d'InGaAs/AlAs sur ces couches tampons de GaAs sera détaillée. Enfin, des essais préliminaires de croissance localisée de couches d'InGaAs riches en indium seront présentés.

4.1 Présentation des substrats masqués SiO₂/Si

Dans cette partie sera détaillée la fabrication et les caractéristiques des substrats masqués SiO₂/Si qui serviront de guide à toutes les épitaxies sélectives réalisées par la suite. Les motifs d'intérêt choisis pour cette étude sont des tranchées ouvertes sur le substrat de silicium et séparées par des murs de SiO₂.

4.1.1 Fabrication des substrats

La fabrication des substrats SiO₂/Si se fait en suivant des étapes élémentaires classiquement utilisées dans l'industrie de la microélectronique (oxydation thermique, lithographie électronique, gravure plasma). La séquence simplifiée est présentée dans la figure 4.1. On part d'un substrat de silicium (001) nominal que l'on oxyde thermiquement sur une profondeur de 200 nm (figure 4.1.a). On dessine ensuite des motifs par lithographie électronique dans une résine que l'on a déposé sur sa surface. Après révélation dans un bain chimique, ces motifs sont imprimés dans la résine (figure 4.1.b) et le dessin ainsi tracé sert de masque pour la gravure plasma. Après cette étape, on obtient un réseau de tranchées ouvertes sur le silicium et séparées par des lignes de SiO₂ de 200

nm de hauteur (figure 4.1.c). Ce substrat est ensuite oxydé à nouveau sur quelques nanomètres afin de consommer le silicium endommagé par la gravure en fond de tranchée mais également afin de protéger le substrat jusqu'à l'étape de dépôt de matériau III-V. Cette fine couche de SiO₂ sera retirée par le nettoyage SiCoNiTM juste avant l'épitaxie (cf. 2.1.2).

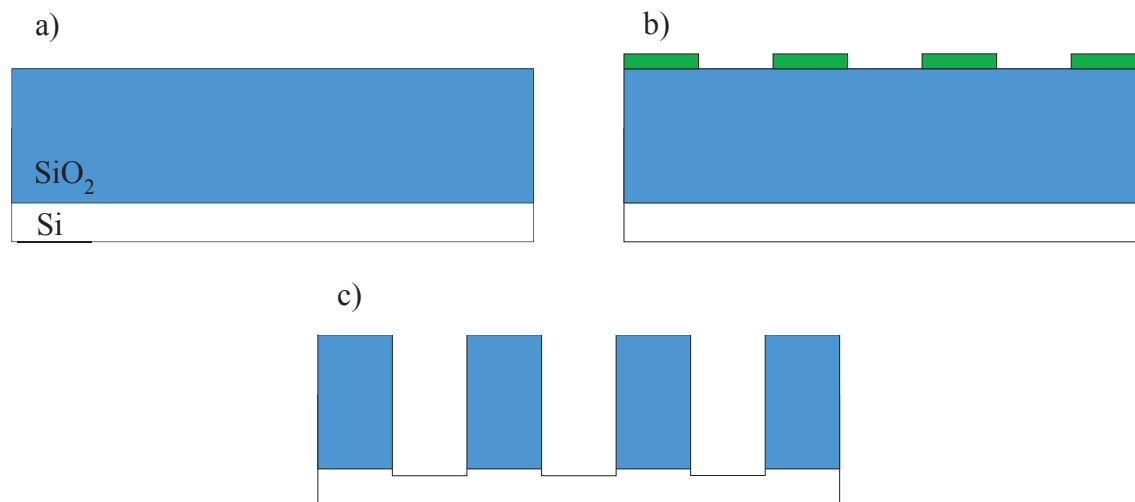


Figure 4.1 : Etapes de fabrication des substrats masqués SiO₂/Si, a) oxydation thermique, b) lithographie électronique, c) gravure plasma.

4.1.2 Caractéristiques des substrats

Les motifs gravés dans ces substrats sont orientés selon une direction $\langle 110 \rangle$. Des tranchées de rapport d'aspect (RA) différent, compris entre 0,2 et 1,3, ont été réalisées en faisant varier la largeur des cavités entre 130 nm et 1000 nm.

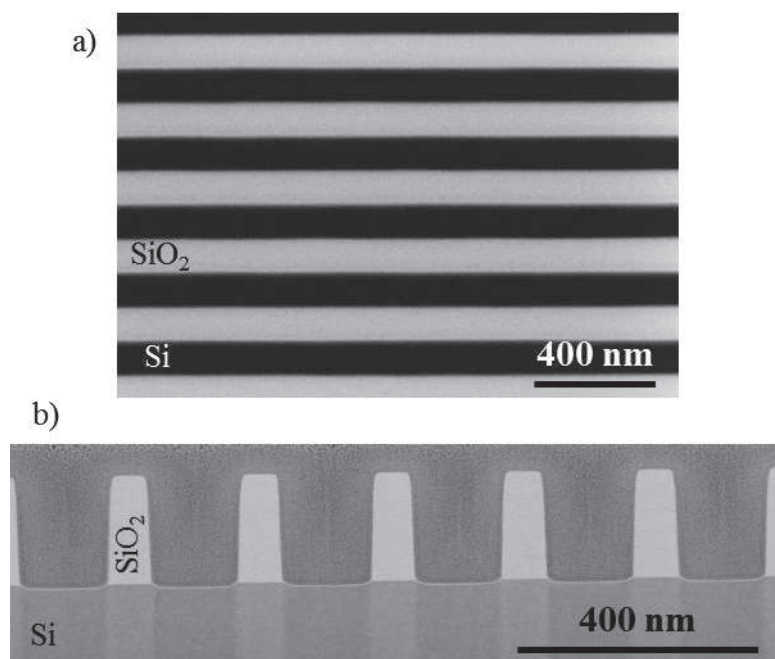


Figure 4.2 : Substrat présentant des motifs de SiO₂, a) Vue de dessus MEB et b) Vue en coupe STEM.

La figure 4.2 montre des images typiques des substrats utilisés pour nos épitaxies localisées. La vue de dessus rend compte de la régularité des lignes d'oxyde et la vue en coupe fait état du profil plat de nos fonds de tranchées.

4.2 Epitaxie sélective de GaAs

Notre but dans un premier temps est de faire croître du GaAs dans ces tranchées (figure 4.3). En effet, le GaAs est le matériau qui servira de couche tampon entre le substrat de silicium et l'InGaAs, matériau d'intérêt pour nos applications visées. L'étude de ces dépôts nous permettra d'apprendre quels sont les paramètres critiques de l'épitaxie localisée.

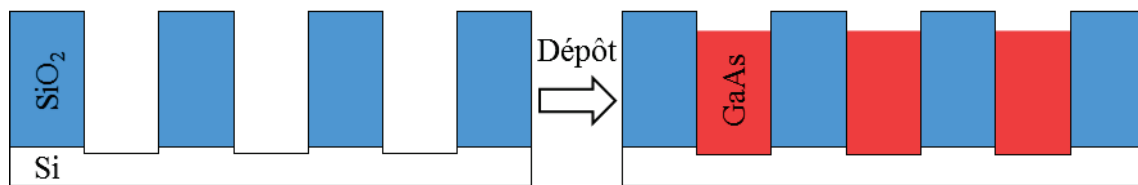


Figure 4.3 : Dépôt sélectif de GaAs sur des substrats présentant des motifs SiO_2/Si .

4.2.1 Optimisation des paramètres de croissance

- Sélectivité du dépôt :

Comme le montre la figure 4.4.a, nos premiers essais de dépôt sélectifs présentaient une forte densité de germes de nucléation de GaAs non désirés sur les parties du substrat masquées par le SiO_2 .

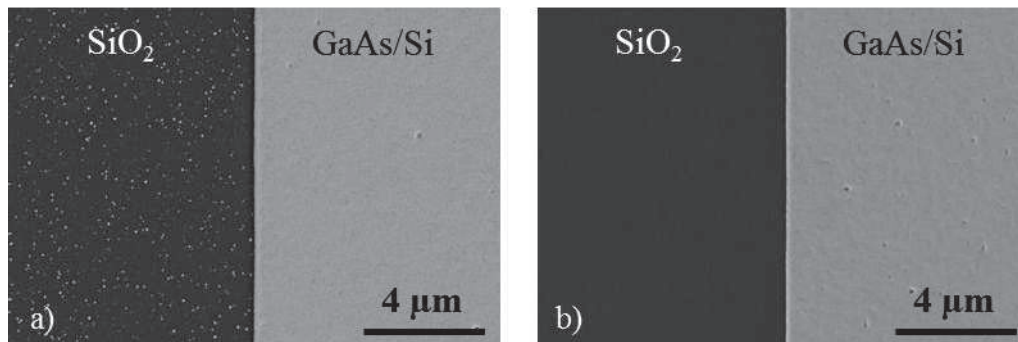


Figure 4.4 : Images MEB de croissances localisées de GaAs. La zone à gauche est masquée par du SiO_2 tandis qu'à droite elle ne l'est pas et une couche de GaAs a été épitaxiée. a) Croissance non optimisée présentant une forte densité de germes de nucléation sur l'oxyde, b) Croissance optimisée sans germes de nucléation sur l'oxyde.

Afin d'y remédier, la pression dans la chambre de dépôt a été réduite de quelques Torr afin d'augmenter la mobilité des atomes adsorbés en surface de l'oxyde pour qu'ils puissent diffuser jusqu'aux zones ouvertes sur le silicium. De plus, cela a permis de réduire les pressions partielles des précurseurs et ainsi de limiter cette adsorption d'atomes sur l'oxyde. Le résultat est visible sur la figure 4.4.b où les germes de nucléation de GaAs ont disparu de la zone masquée par de l'oxyde.

- Facettage :

Notre objectif est ici d'obtenir du GaAs en cavité dont la surface soit plane afin d'être exploitable pour la réalisation de dispositifs. Cette planéarité peut être obtenue après l'épitaxie par des procédés de polissage mécano-chimique mais cela implique des étapes supplémentaires et un risque d'endommagement de la surface de la couche tampon de GaAs. L'inconvénient majeur étant l'impossibilité de planéariser du GaAs dont la surface se trouve à l'intérieur des tranchées de SiO₂ sans consommer une partie de cet oxyde. En revanche, on peut également obtenir une surface de GaAs plane durant l'épitaxie en faisant varier le rapport de vitesse de croissance entre les différentes facettes cristallines, qui dépend essentiellement de la température et de la pression auxquelles est effectué le dépôt. La figure 4.5 illustre des épitaxies localisées de GaAs réalisées à différentes températures, de T₁, température la plus haute à T₃, température la plus basse, les autres paramètres restant inchangés.

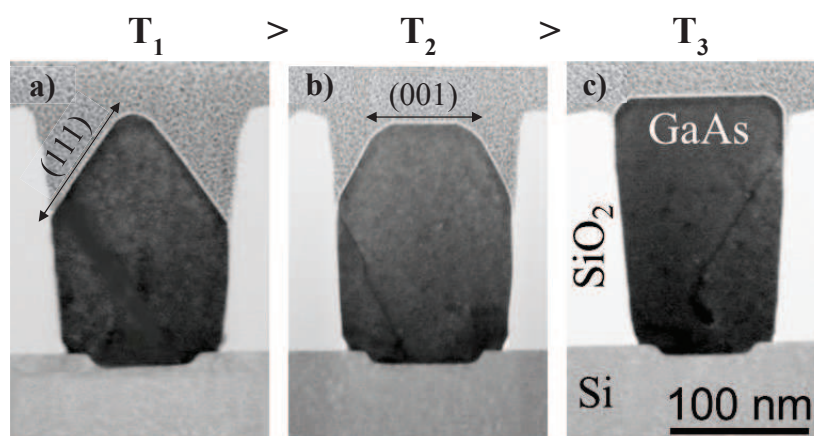


Figure 4.5 : Vue en coupe STEM de dépôts localisés de GaAs réalisés à différentes températures, $T_1 > T_2 > T_3$.

Dans le cas d'une température élevée T₁ (figure 4.5.a), on remarque que les facettes prépondérantes à la surface du cristal de GaAs sont de type (111), par rapport au type (001). On en déduit qu'à cette température, la croissance des plans (001) est plus rapide que celle des plans (111), ce qui entraîne la disparition des facettes (001) et l'émergence des facettes (111). C'est cette situation que l'on souhaite éviter puisqu'elle conduit à une surface de GaAs non plane. Maintenant, lorsque l'on abaisse la température de croissance vers T₂ puis T₃ (figure 4.5.b et c), on observe le maintien de la facette (001) en surface du cristal de GaAs. On comprend que la tendance énoncée précédemment s'inverse et que la croissance des plans (001) devient plus lente que celle des plans (111), ce qui conduit à la situation favorable où le cristal de GaAs présente une surface plane.

4.2.2 Elimination des parois d'antiphase

Le problème de la présence de parois d'antiphase en surface du GaAs se pose également dans le cas des épitaxies localisées. Dans le chapitre 2, on a vu qu'il était possible de s'en affranchir en utilisant des substrats très faiblement désorientés dans la

direction $\langle 110 \rangle$, en leur faisant subir un recuit à haute température sous H_2 avant l'épitaxie de GaAs. Or ici, il n'est pas envisageable de pratiquer ce genre de traitement thermique sur les substrats présentant des motifs SiO_2/Si car à ces températures, l'oxyde est réduit par le dihydrogène et s'évapore dans la phase gazeuse. On perd alors les motifs du substrat et donc tout l'intérêt du dépôt sélectif. Sur nos substrats dédiés aux croissances sélectives ont été réalisées des tranchées de différentes largeurs, et donc de rapports d'aspect (hauteur/largeur) différents. Quand on s'intéresse aux croissances de GaAs dans ces tranchées, on remarque qu'il existe un lien direct entre le rapport d'aspect de la cavité et la densité de parois d'antiphase en surface du GaAs. La figure 4.6 rassemble les images MEB en vue de dessus des croissances localisées de GaAs dans des tranchées de rapport d'aspect variable.

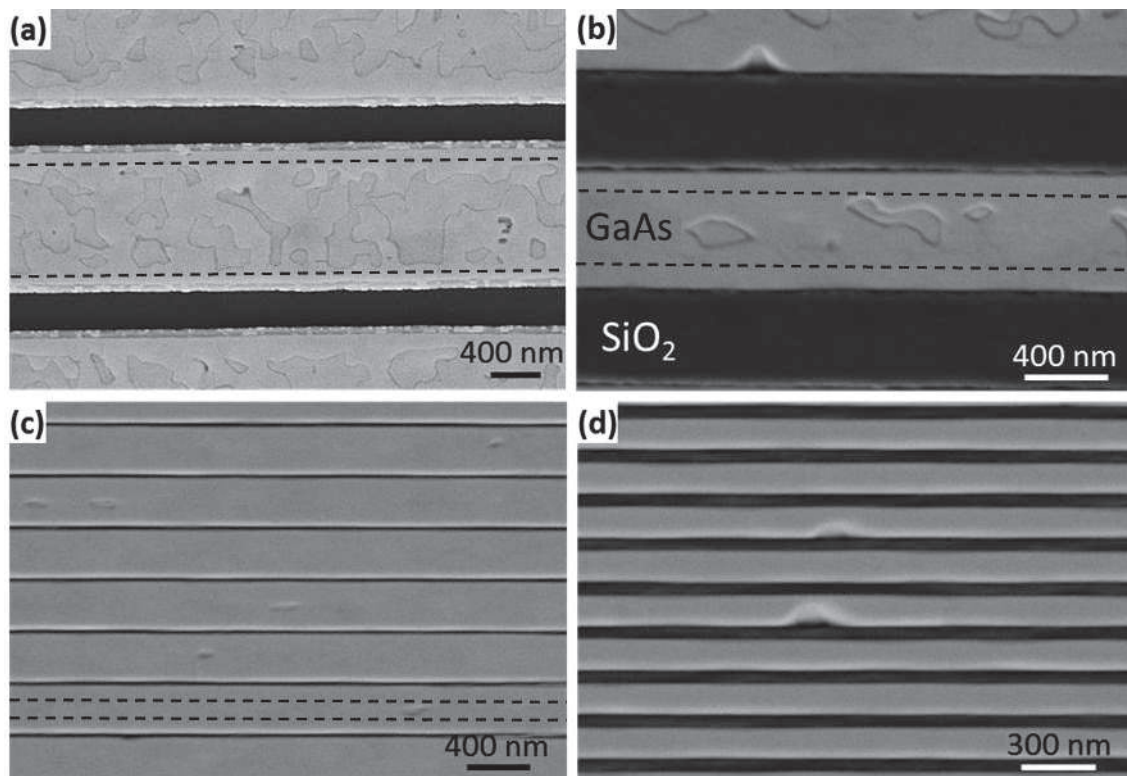


Figure 4.6 : Images MEB en vue de dessus de croissances localisées de GaAs dans des tranchées de 180 nm de profondeur et de largeur variable a) 1000 nm ($RA = 0,18$), b) 570 nm ($RA = 0,32$), c) 300 nm ($RA = 0,6$) et d) 140 nm ($RA = 1,3$). La densité de parois d'antiphase décroît quand le rapport d'aspect augmente, a) $3,9 \mu m^{-1}$, b) $1,6 \mu m^{-1}$, c) $0,25 \mu m^{-1}$ et d) pas de parois d'antiphase. Les lignes pointillées délimitent des zones, proches des lignes d'oxyde, exemptes de parois d'antiphase.

On voit que la densité de parois d'antiphase en surface du GaAs décroît (de $3,9 \mu m^{-1}$ à $0 \mu m^{-1}$) quand le rapport d'aspect de la cavité augmente (de 0,18 à 1,3). On note également l'existence de zones exemptes de parois d'antiphase, proches des lignes de SiO_2 , d'une largeur fixe de 130 nm environ (figure 4.6.a, b et c, lignes pointillées), de part et d'autre des lignes de GaAs. Lorsque la cavité devient plus étroite que deux fois la largeur de ces zones, on peut imaginer qu'elles se chevauchent et forment une ligne de GaAs sans parois d'antiphase (figure 4.6.d). Le mécanisme d'annihilation ayant lieu aux abords des murs de

SiO_2 n'est à ce jour pas entièrement compris. Néanmoins, sur des vues en coupe (STEM) de GaAs épitaxié sélectivement, on observe clairement la présence d'une zone peu défectueuse proche de l'interface GaAs/ SiO_2 (figure 4.7). Cette zone est délimitée par des fautes d'empilement empruntant une direction (111), qui forment un angle de $54,7^\circ$ avec le plan de croissance (001). Or, il a été observé que les parois d'antiphase peuvent fortement interagir avec les fautes d'empilement et s'aligner parallèlement à ces dernières [4]. Donc les parois d'antiphase qui prendraient naissance à l'interface GaAs/Si proche du SiO_2 , seraient déviées au contact de fautes d'empilement et ne traverseraient pas la zone qui nous apparaît exempte de parois d'antiphase (figure 4.8).

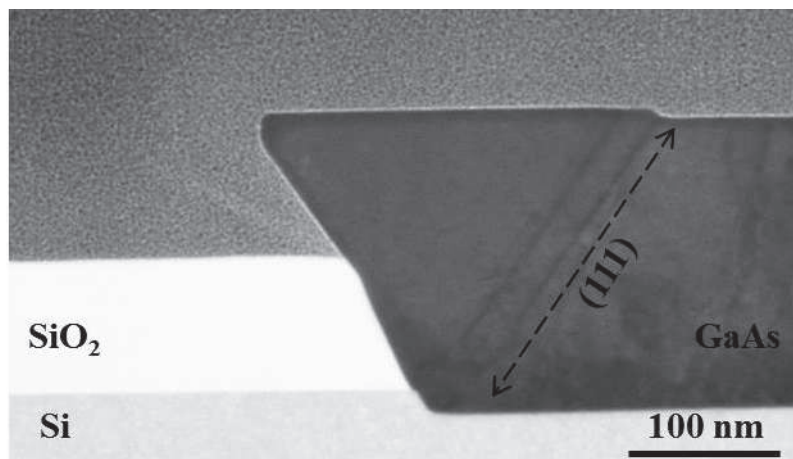


Figure 4.7 : Vue en coupe STEM de GaAs épitaxié sélectivement. La région proche du SiO_2 est peu défectueuse par rapport à la région qui en est éloignée. Ces différentes zones sont séparées par des défauts cristallins de type fautes d'empilement, orientées selon une direction (111).

Si on s'intéresse aux caractéristiques géométriques de nos motifs, on peut calculer la largeur théorique de la zone ne présentant plus de parois d'antiphase. Ce calcul est présenté dans la figure 4.8. Dans notre cas, on s'attend donc à une zone d'exclusion de l'ordre de 130 nm, ce qui est en total accord avec nos observations expérimentales (figure 4.6).

Cette hypothèse comprend néanmoins un inconvénient majeur, en effet, elle repose sur le fait que des fautes d'empilement générées au niveau de l'interface GaAs/Si/ SiO_2 sont nécessaires à l'annihilation des parois d'antiphase. Or l'absence de parois d'antiphase en bord de motif est observée systématiquement. Cela voudrait donc dire que ces fautes d'empilement sont présentes le long de toutes lignes de GaAs. Cependant, le fond de nos cavités présente un léger épaulement, dû au retrait d'une partie du SiO_2 pendant la désoxydation SiCoNi (figure 4.5), qui pourrait être un site de nucléation préférentielle de ces fautes d'empilement. Dans tous les cas, des observations complémentaires sont à envisager afin de comprendre au mieux le mécanisme d'annihilation des parois d'antiphase dans ces lignes de GaAs.

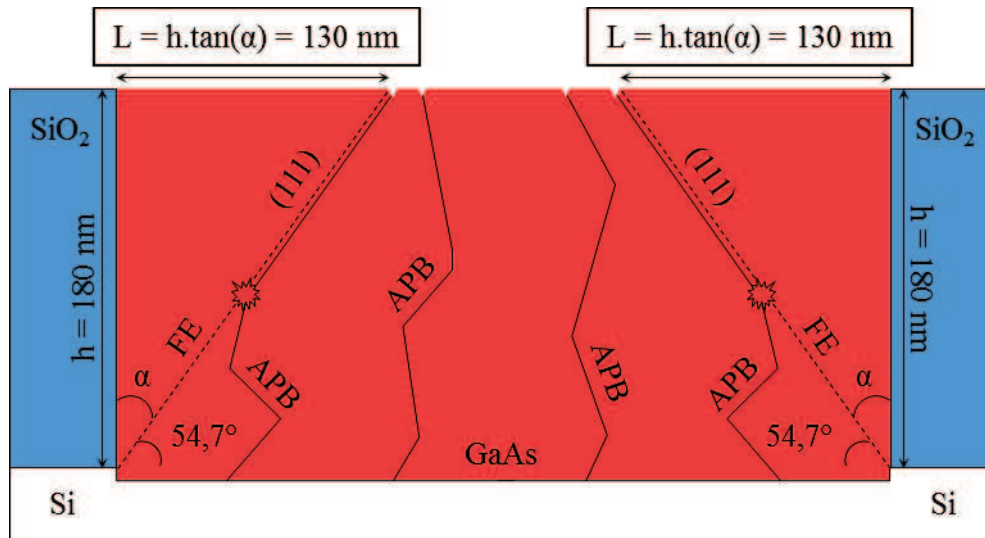


Figure 4.8 : Représentation schématique d'un potentiel mécanisme de formation des zones exemptes de parois d'antiphase observées en bord de motif de GaAs épitaxiés sélectivement dans des tranchées de SiO₂/Si. On met ici en avant l'interaction possible entre les parois d'antiphase (APB) et les fautes d'empilement (FE) générées en fond de cavité, à proximité du SiO₂.

Dans cette partie consacrée à la croissance de GaAs localisée dans des motifs de SiO₂/Si, nous avons pu observer et comprendre l'effet des différents paramètres de croissance sur la qualité du matériau obtenu. Tout d'abord, la sélectivité du dépôt a été optimisée par une baisse de la pression lors de la croissance. Le facettage de la surface des lignes de GaAs a pu être réduit en abaissant la température à laquelle est effectuée l'épitaxie. La problématique de la présence de parois d'antiphase à la surface du matériau a également été traitée. Il apparaît qu'une relation directe entre le rapport d'aspect de la cavité de SiO₂/Si et la densité de parois d'antiphase existe dans le cas de notre système. De plus, la présence d'une zone exempte de parois d'antiphase proche de l'interface SiO₂/GaAs, de largeur fixe, nous conduit à penser que le mécanisme d'annihilation de ces parois pourrait mettre en jeu une interaction forte avec d'autres défauts comme les fautes d'empilement. Nous retiendrons qu'un rapport d'aspect de 1,3 est dans notre cas suffisant pour s'affranchir de la présence de parois d'antiphase en surface du GaAs. Au final, on obtient des lignes de GaAs d'une qualité suffisante et d'une homogénéité satisfaisante pour pouvoir être utilisée comme couche tampon pour la réalisation de puits quantiques d'In_xGa_{1-x}As. Des défauts résiduels sont encore présents sur les lignes de GaAs (figure 4.9). Il s'agit de défauts de croissance qui peuvent être causés par la présence de SiO₂ résiduel au fond des cavités et gênant la nucléation du GaAs, nous estimons leur densité par MEB aux alentours de 10⁷ cm⁻².

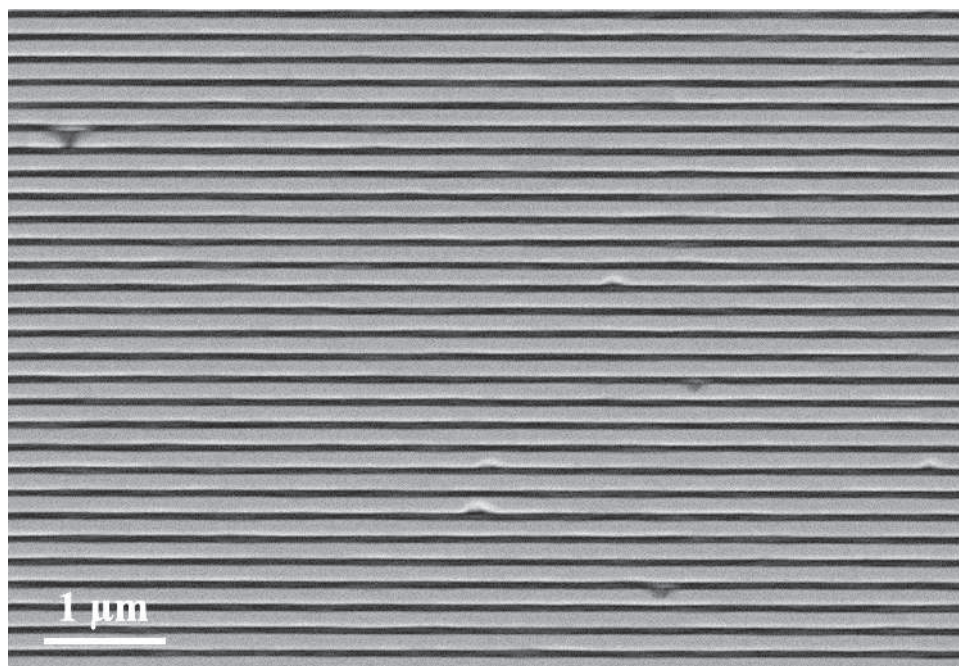


Figure 4.9 : Image MEB vue de dessus de lignes de GaAs (claires) épitaxiées dans des motifs de SiO₂ (sombres) sur substrat de silicium.

4.3 Epitaxie sélective de puits quantiques d' $\text{In}_x\text{Ga}_{1-x}\text{As}$

La croissance sélective du matériau GaAs étant développée, on peut envisager, à l'instar des dépôts sur substrats non structurés (chapitre 3), l'épitaxie de puits quantiques d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ dans les cavités de SiO₂/Si. Ces structures permettront de jauger, via des analyses optiques (photo- et cathodoluminescence), la qualité cristalline qu'il est possible d'obtenir par cette technique de dépôt. Des mesures de profil chimique en profondeur (SIMS) ont également été effectuées. Enfin, nous avons réalisé des observations STEM sur des lames minces prélevées à des endroits spécifiques ayant préalablement été cartographiées en cathodoluminescence à basse température, afin de corréler les observations de luminescence et les propriétés structurales des matériaux.

4.3.1 Croissances des hétérostructures

Comme dans le chapitre précédent, nous avons réalisé des puits quantiques AlAs/ $\text{In}_x\text{Ga}_{1-x}\text{As}$ /AlAs mais déposés cette fois-ci dans des tranchées de SiO₂/Si, sur les couches tampons de GaAs discutées auparavant (*cf.* 4.2) (figure 4.10). On remarque la présence de facettes en surface du GaAs, que l'on retrouve également dans les couches d'AlAs et d' $\text{In}_x\text{Ga}_{1-x}\text{As}$. Nous avons ici fait varier la concentration en indium x des puits quantiques (entre 0,1 et 0,4). Des observations en microscopie électronique en transmission (TEM) ont été effectuées comme le montre la figure 4.11. Une grande partie des défauts cristallins sont confinés dans les 30-40 premiers nanomètres de la couche de GaAs (figure 4.11.a). Du fait de leur orientation cristalline (111), ils se retrouvent bloqués par les parois de SiO₂, comme le défaut noté A sur la figure. D'autres en revanche, notés

B, adoptent une orientation globalement parallèle à la direction de croissance (100) et traversent toute l'épaisseur de la couche.

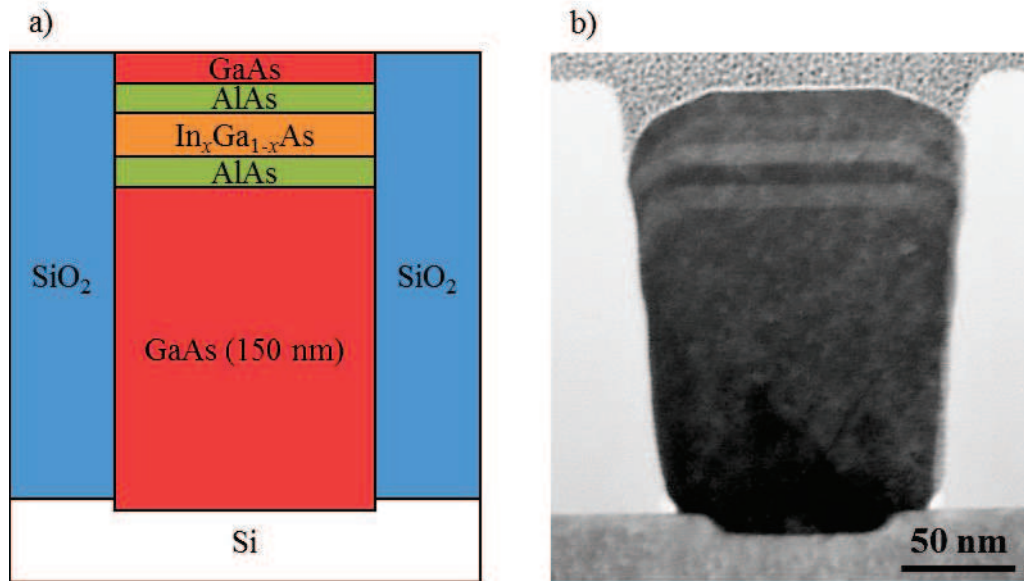


Figure 4.10 : Représentation schématique (a) et image STEM en coupe (b) des puits quantiques d'In_xGa_{1-x}As épitaxiés sélectivement dans des tranchées de SiO₂/Si.

La figure 4.11.b montre, quant à elle, la région correspondant au puits quantique d'In_xGa_{1-x}As située en haut de la tranchée. On peut voir que les différentes interfaces sont abruptes et qu'aucun défaut de type faute d'empilement ou paroi d'antiphase n'y a nucléé. On remarque également l'absence de défauts remontant du fond de la tranchée, ce qui montre que la méthode ART est efficace pour obtenir des matériaux peu ou non défectueux au sommet des cavités. La qualité des interfaces a ensuite été quantifiée par l'obtention du profil de composition chimique.

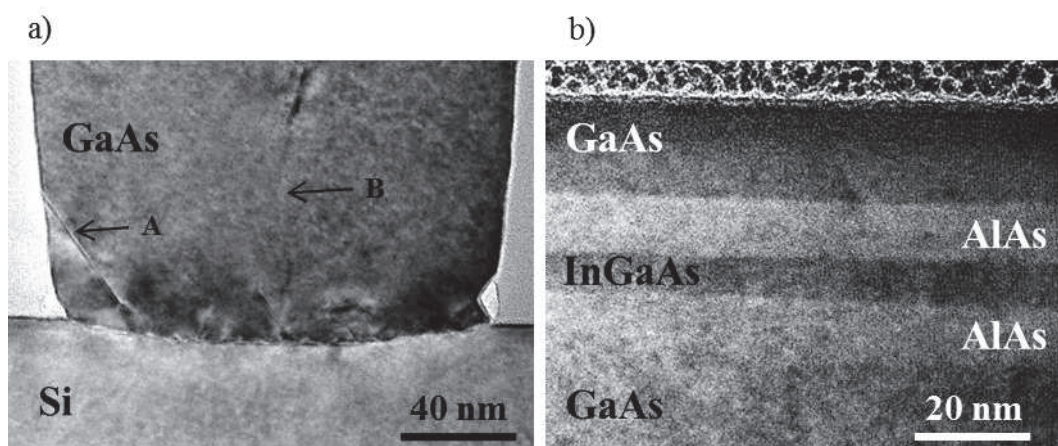


Figure 4.11 : Images TEM de puits quantiques d'In_xGa_{1-x}As épitaxiés sélectivement dans des tranchées de SiO₂/Si. a) interface Si/GaAs en fond de tranchée et b) puits quantique AlAs/In_xGa_{1-x}As/AlAs en haut de tranchée.

4.3.2 Profils de composition chimique

Les résultats présentés ici ont été obtenus en collaboration avec Viktoriia Gorbenko dont les travaux de doctorat portaient sur la caractérisation de matériaux III-V par faisceaux d'ions [5]. La figure 4.12 montre un profil de composition chimique, obtenu par SIMS (*Secondary Ions Mass Spectrometry*), de puits quantiques $\text{AlAs}/\text{In}_{0,1}\text{Ga}_{0,9}\text{As}(10\text{nm})/\text{AlAs}$. La zone analysée mesure environ $33\text{ }\mu\text{m}$ de diamètre et couvre donc entre 100 et 120 lignes de matériau III-V, le signal résultant est alors la moyenne de toutes ces lignes.

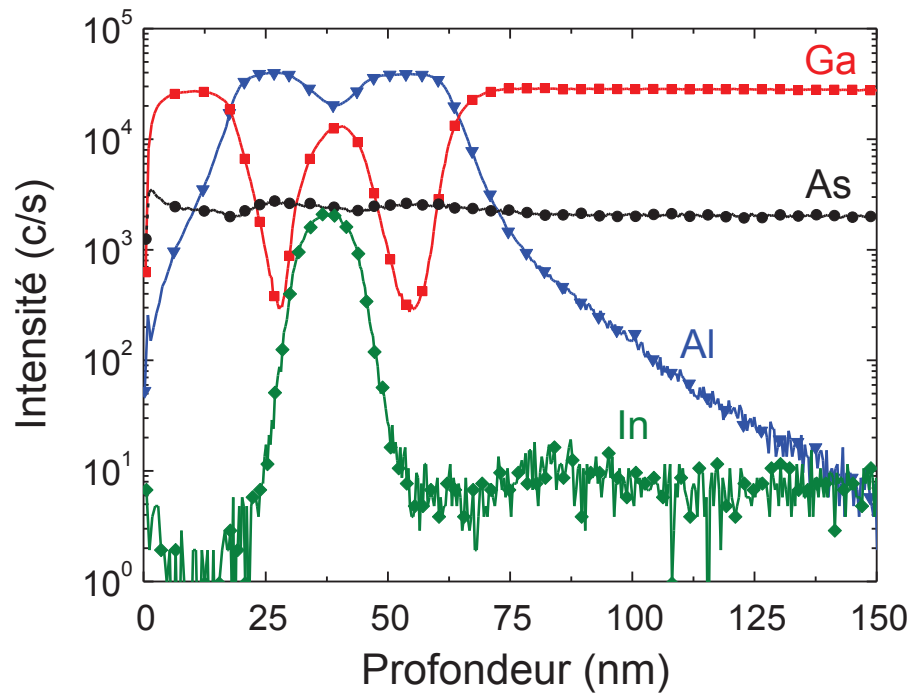


Figure 4.12 : Profil SIMS de puits quantiques $\text{AlAs}/\text{In}_{0,1}\text{Ga}_{0,9}\text{As}(10\text{nm})/\text{AlAs}$ sélectivement épitaxiés dans des tranchées de SiO_2/Si . Les largeurs des interfaces $\text{AlAs}/\text{InGaAs}$ haute et basse sont estimées à $2,5\text{ nm}$ et $2,9\text{ nm}$ respectivement.

De ce profil, on peut estimer la largeur des interfaces du puits quantiques d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ communément prise comme la distance entre laquelle l'intensité du signal correspondant à l'indium passe de 14% à 86% de sa valeur maximale. Dans notre cas, on mesure des interfaces haute et basse d'une largeur de $2,5\text{ nm}$ et $2,9\text{ nm}$ respectivement. Ces interfaces sont abruptes et symétriques (pour une croissance par MOVPE) ce qui indique une faible ségrégation de l'indium du fait de l'emploi de couches barrières d' AlAs [6]–[8]. On observe également que le profil d'aluminium ne décroît que très peu dans le puits d' InGaAs . On interprète cela comme l'effet géométrique du facettage résiduel des lignes de GaAs (figure 4.10.b). En effet, à une même profondeur donnée z , prise dans le puits d' InGaAs , sur le bord du motif, proche du SiO_2 , les barrières d' AlAs sont également présentes, à cause de la croissance légèrement facettée de l'hétérostructure. Facettage que l'on retrouve à la surface du GaAs . Cette effet peut également expliquer le fait que le profil de gallium ne tombe pas à zéro dans les barrières d' AlAs ainsi que la très légère asymétrie du pic d'indium.

Des profils de composition ont également été obtenus par des mesures de NanoAuger, en collaboration avec E. Martinez au CEA-LETI. L'acquisition se fait sur 200 lignes de matériau environ. Ces profils montrent une relativement bonne correspondance avec ceux obtenus par SIMS (figure 4.13).

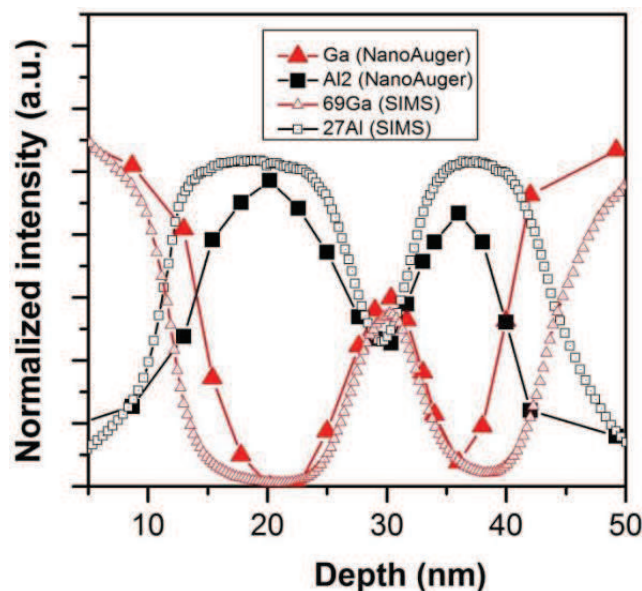


Figure 4.13 : Profil SIMS et NanoAuger de puits quantiques $AlAs/In_{0,1}Ga_{0,9}As(10nm)/AlAs$ sélectivement épitaxiés dans des tranchées de SiO_2/Si [5].

De ces caractérisations ont également été extraites des compositions d'indium associées aux différentes croissances (tableau 4.1).

Echantillon	Epaisseur (nm)	%In visé	%In SIMS	%In Auger
InGaAs A	9	13	8	8
InGaAs B	9	30	12	18
InGaAs C	8	40	32	18

Tableau 4.1 : Comparaisons entre concentrations en indium de puits quantiques d'InGaAs visées et extraites des profils SIMS et NanoAuger.

On remarque que les concentrations extraites de ces profils de composition sont bien en dessous des concentrations en indium visées. Ici encore, le facettage résiduel des hétérostructures (figure 4.10.b) fausse la quantification. En effet, la coexistence, à la même profondeur, des matériaux AlAs et InGaAs tend à diminuer, en apparence, la concentration d'indium mesurée.

4.3.3 Micro-photoluminescence à température ambiante

Afin de rendre compte de la qualité des puits quantiques d'InGaAs épitaxiés sélectivement sur nos substrats présentant des motifs SiO_2/Si , nous avons effectué des mesures de micro-photoluminescence (μPL) à température ambiante. Les échantillons ont

été excités par un rayonnement laser continu He-Ne (632,8 nm), focalisé par un objectif de microscope. Le diamètre de la zone éclairée est ainsi réduit à 5 μm environ.

Nous avons en premier lieu analysé des échantillons de rapports d'aspect différents. Tous les motifs présentant des parois d'antiphase ($RA < 1,3$) ne montraient aucun signal de μPL . Nous nous sommes donc focalisés sur l'étude des lignes dont le rapport d'aspect est supérieur à 1,3 et donc exemptes de parois d'antiphase en surface. Dans le cas de lignes de GaAs pur (figure 4.5.c), on observe un pic unique, centré autour de 1,44 eV et d'une largeur à mi-hauteur de 50 meV environ (figure 4.14). Cependant, l'intensité est très faible (proche du bruit). En effet, ces structures ne sont pas optimisées pour l'émission optique et rien n'est prévu afin d'empêcher les recombinaisons non radiatives à l'interface GaAs/Si défectueuse ou encore à la surface oxydée du GaAs. L'énergie d'émission de 1,44 eV correspond à la transition bande à bande du GaAs. Cependant, un léger décalage vers les hautes énergies ($E_{g\text{GaAs}} = 1,424 \text{ eV}$) est observé et est associé à la contrainte résiduelle de la couche de GaAs/Si, en compression biaxiale, dont l'épaisseur est de 180 nm.

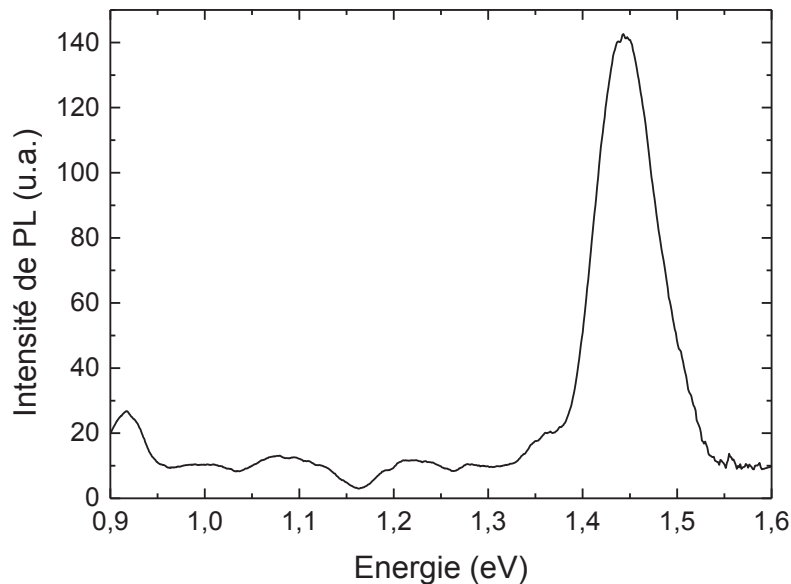


Figure 4.14 : Spectre de micro-photoluminescence de lignes de GaAs de 180 nm d'épaisseur, exemptes de parois d'antiphase en surface, épitaxiées sélectivement dans des motifs de SiO_2/Si ($RA = 1,3$) (figure 4.5.c).

Ensuite, des puits quantiques d' $\text{In}_x\text{Ga}_{1-x}\text{As}$, épitaxiés sur ces couches tampons de GaAs en cavités (figure 4.10), de différentes teneurs en indium (de 10% à 40%), ont également été observés en microphotoluminescence. Chaque échantillon présente un spectre de μPL montrant un unique pic, correspondant à l' $\text{In}_x\text{Ga}_{1-x}\text{As}$ (figure 4.15). La position du pic varie, comme on peut l'attendre, avec la teneur en indium visée dans le puits. Pour le puits d' $\text{In}_{0,1}\text{Ga}_{0,9}\text{As}$ (#1), l'énergie d'émission est de 1,37 eV, tandis que pour le puits d' $\text{In}_{0,4}\text{Ga}_{0,6}\text{As}$ (#4), elle est de 1,06 eV. Les largeurs à mi-hauteur ont également été mesurées et sont rassemblées dans le tableau 4.2. Elles sont comprises entre 60 meV et 100 meV, et ne semblent pas dépendre de la concentration d'indium visée au sein des puits. L'élargissement de ces pics est en partie lié au fait que le signal de

μ PL émis par les échantillons provient d'une douzaine de lignes différentes et correspond donc à une moyenne de la réponse optique de ces lignes. Or, il est certain, et nous le verrons plus tard, que des fluctuations d'épaisseur, de composition et/ou d'état de contrainte existent d'une ligne à l'autre, et même le long d'une même ligne. De plus, le pic le plus large correspond au puits le plus riche en indium. C'est peut-être dû à une relaxation partielle (difficile à quantifier) de la couche d' $\text{In}_{0,4}\text{Ga}_{0,6}\text{As}$ et donc à l'apparition de dislocations à l'interface puits/barrière, conduisant à l'élargissement du pic de μ PL. Néanmoins, elles sont relativement faibles et traduisent donc une bonne qualité cristalline du matériau dans la partie haute des cavités, pour des croissances sur des couches tampon de 150 nm seulement, sur substrat de silicium (001) nominal. Ceci illustre bien l'effet de la méthode ART, qui, en bloquant la propagation des défauts cristallins qui apparaissent à l'interface Si/GaAs, permet l'obtention de matériaux de bonne qualité sur des couches tampons ultrafines.

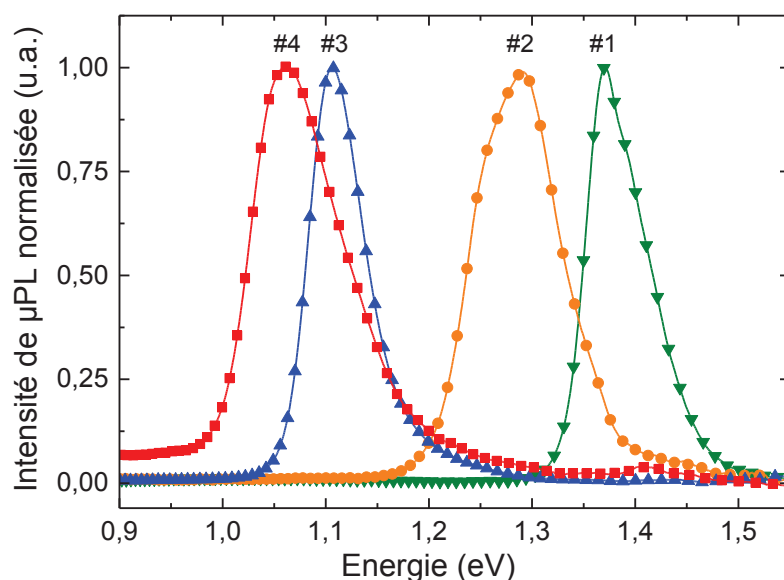


Figure 4.15 : Spectres de μ PL à température ambiante de puits quantiques d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ (x variable) épitaxiés sur des couches tampons de GaAs, sélectivement déposées dans des motifs de SiO_2/Si . Teneur en indium x visée : (#1) 0,1 ; (#2) 0,2 ; (#3) 0,3 et (#4) 0,4.

Echantillon	%In visé	Epaisseur (nm)	Energie d'émission μ PL (eV)	Largeur à mi-hauteur (meV)	%In extrait par simulation
InGaAs #1	10	15	1,37	68	7
InGaAs #2	20	13	1,29	95	16
InGaAs #3	30	10	1,10	60	35
InGaAs #4	40	8	1,06	100	42

Tableau 4.2 : Données extraites des spectres de μ PL à température ambiante des puits quantiques d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ (x variable) donnés en figure 4.15.

De la même manière que dans le chapitre précédent (*cf.* 3.3.1), il nous a été possible, moyennant une mesure d'épaisseur par STEM, d'extraire la concentration d'indium dans les puits quantiques depuis les énergies d'émission de μPL . On fait l'hypothèse, ici aussi, de croissances purement pseudomorphiques des puits d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ sur la couche tampon de GaAs. Ces couches sont donc considérées comme complètement contraintes, même s'il est vrai que pour l'échantillon d' $\text{In}_{0,4}\text{Ga}_{0,6}\text{As}$, nous avons vu qu'il était possible qu'en réalité une relaxation partielle ait pu avoir lieu. Des mesures de déformations locales du paramètre de maille ont été effectuées (en collaboration avec M. Vigouroux) sur une coupe transversale de l'hétérostructure d' $\text{In}_{0,1}\text{Ga}_{0,9}\text{As}$, via des analyses de diffraction électronique en précession réalisées au sein d'un microscope électronique en transmission [9] (figure 4.16). Ces mesures montrent que la couche d' $\text{In}_{0,1}\text{Ga}_{0,9}\text{As}$ possède un paramètre de maille plus grand que celui du GaAs dans la direction de croissance, mais partage le même paramètre de maille, dans le plan de croissance, que la couche tampon sur laquelle elle est épitaxiée. On en déduit que le puits d' $\text{In}_{0,1}\text{Ga}_{0,9}\text{As}$ n'a pas relaxé, ce qui confirme l'hypothèse d'une croissance purement pseudomorphique. Malheureusement, ces analyses n'ont pas été conduites sur le reste des hétérostructures.

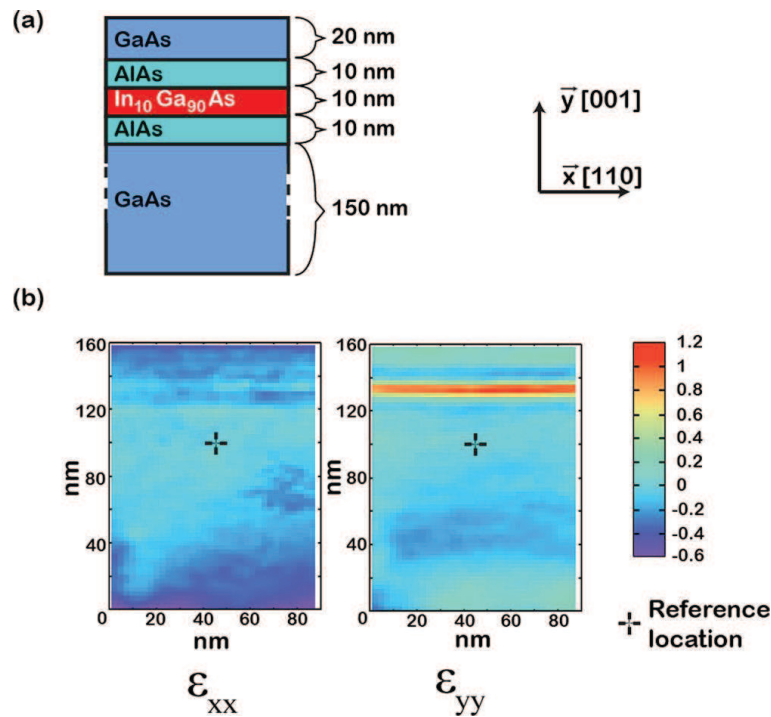


Figure 4.16 : Mesure de déformations locales de paramètre de maille par diffraction électronique en précession d'un puits quantique épitaxié sélectivement sur un substrat de silicium présentant des motifs de SiO_2 ($RA = 1,3$). (a) rappel de la structure de l'échantillon, (b) cartographies de déformation : dans le plan de croissance (ϵ_{xx}) et dans la direction de croissance (ϵ_{yy}) [9].

Le logiciel de simulation de dispositifs nanométrique 3D « Nextnano » [10] nous permet, via la résolution de l'équation de Schrödinger unidimensionnelle, le calcul des teneurs en indium des différents puits quantiques. Ces résultats sont présentés dans le tableau 4.2.

On trouve des valeurs proches entre les concentrations visées et celles extraites de la micro-photoluminescence.

La μ PL nous a permis de rendre compte de la qualité cristalline de nos puits quantiques sélectivement épitaxiés, par la simple existence d'un signal d'émission optique à température ambiante. En revanche, elle ne permet pas l'observation des défauts et de leur effet sur la luminescence à l'échelle locale.

4.3.4 Cathodoluminescence à basse température

Nous avons par la suite fait usage de la cathodoluminescence (CL) à basse température (5-10 K) en vue de dessus afin d'observer les puits d'InGaAs dans les différentes tranchées. La luminescence est ici collectée dans un MEB fournissant la source excitatrice et doté d'un microscope optique intégré. La résolution spatiale donnée par le faisceau électronique nous permet d'obtenir une image de la luminescence le long des lignes de puits quantiques d'InGaAs. Toutes les longueurs d'onde sont détectées à l'aide d'une camera CCD et l'intensité totale du signal est collectée (mesure panchromatique). Les premiers résultats de ces mesures, effectuées sur des puits d' $\text{In}_{0,1}\text{Ga}_{0,9}\text{As}$, sont présentés en figure 4.17. Les zones claires (rouges) représentent les zones luminescentes tandis que les sombres (noires) représentent les zones non luminescentes.

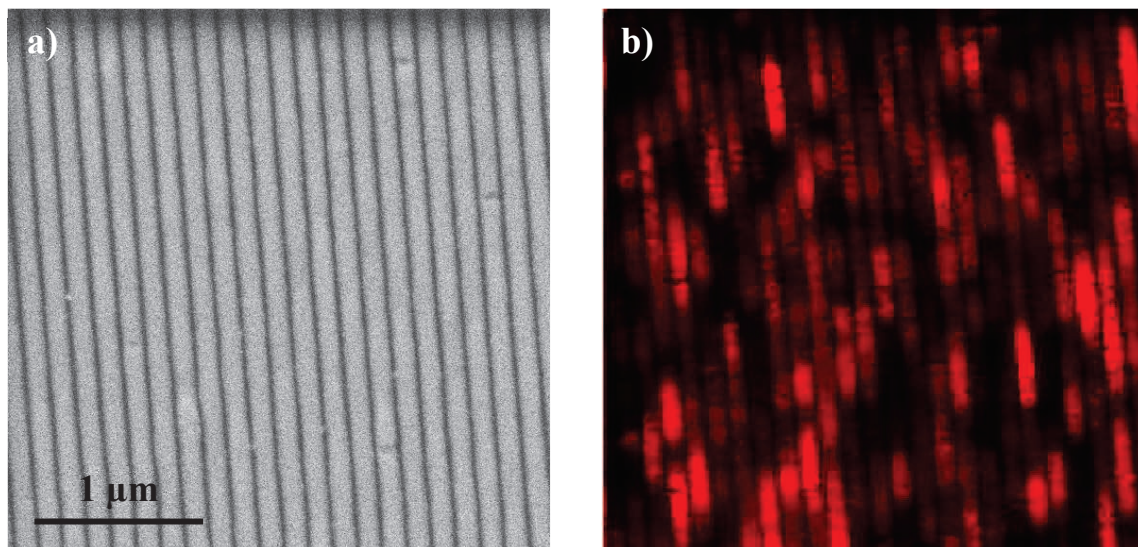


Figure 4.17 : Image MEB (a) et cartographie de cathodoluminescence panchromatique à basse température (5-10K) et en vue de dessus, de puits quantiques d' $\text{In}_{0,1}\text{Ga}_{0,9}\text{As}$ sélectivement épitaxiés sur des substrats présentant des tranchées de SiO_2/Si ($RA = 1,3$) (b).

On remarque que la luminescence n'est pas uniforme le long des lignes, mais qu'elle forme une alternance de segments luminescents et non luminescents. Les parois d'antiphase n'étant pas présentes dans les tranchées observées ici ($RA = 1,3$), on peut les écarter des causes potentielles d'extinction de luminescence. Restent donc différentes causes possibles comme d'autres défauts cristallins (dislocation, fautes d'empilement).

Afin d'observer et de mieux comprendre ces non-uniformités de luminescence, dans le but d'améliorer la croissance du cristal, nous avons tenté de corréler ces mesures de cathodoluminescence à basse température avec des observations en STEM et TEM de lames minces prélevées parallèlement et perpendiculairement aux motifs. Cependant, le prélèvement par abrasion au faisceau d'ion focalisé endommage le matériau, ce qui rend impossible l'observation de cathodoluminescence directement sur lames minces. Les mesures de CL sont donc réalisées en vue de dessus et en amont des prélèvements. Grâce à des marquages effectués sur les échantillons, on peut ensuite prélever la ou les lignes que l'on veut observer et ainsi obtenir la correspondance entre la cathodoluminescence et la qualité du matériau (figure 4.18).

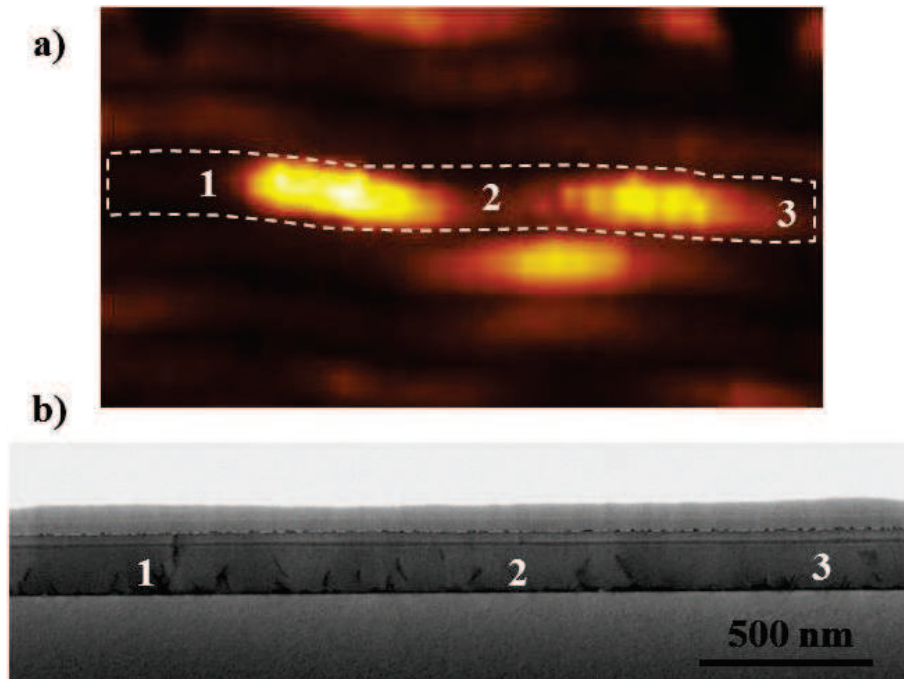


Figure 4.18 : Cathodoluminescence à basse température (5-10K) en vue de dessus (a) et STEM en coupe longitudinale de la ligne entourée de pointillés sur la cartographie de CL (b). Les numéros représentent les zones de faible luminescence.

Dans le cas présenté en figure 4.18, on s'intéresse à une portion de ligne comportant trois zones faiblement luminescentes (numérotées de 1 à 3) délimitant deux segments luminescents. Nous avons étudié ces trois zones individuellement afin de d'observer la cause, au sein de l'empilement, de la baisse, voire de l'extinction de la luminescence.

- Zone 1 : Lorsque l'on se rapproche de la zone 1, il apparaît qu'un défaut cristallin vient déranger la structure de l'empilement du puits quantique d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ (figure 4.19.a). Grâce aux observations TEM (figure 4.19.b), on découvre que la barrière inférieure d'AlAs ainsi que la couche d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ forment une encoche triangulaire à l'aplomb du défaut, qui semble reboucler sur lui-même. Les interfaces diffuses entre le puits, la barrière et la couche tampon ainsi que l'élargissement local de la couche d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ peuvent expliquer la perte de la luminescence dans cette zone du cristal.

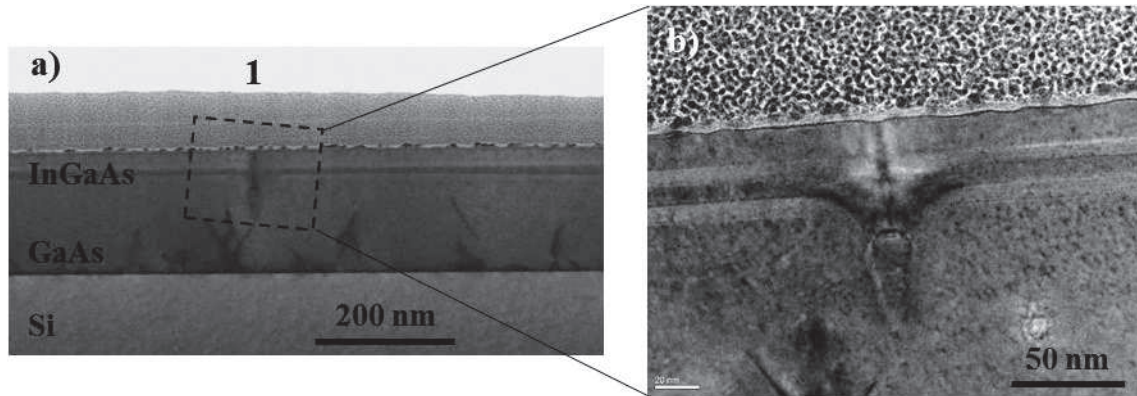


Figure 4.19 : Agrandissement STEM (30 keV) en coupe de la zone 1 (figure 4.18.b) (a) et image TEM (200 keV) de la zone défectueuse (b).

- Zone 2 : On remarque sur la vue en coupe STEM que plusieurs défauts sont présents aux alentours de la zone 2 (figure 4.20.a). Les observations TEM (figure 4.20.b) révèlent deux fautes d'empilement (2_{FE}), de type micromacle, qui traversent le puits quantique d' $\text{In}_x\text{Ga}_{1-x}\text{As}$. De plus, une variation de contraste sur l'image (zone pointillée), que l'on interprète ici par une variation locale de contrainte, nous indique la présence d'une dislocation (2_D). Cette dernière se forme à l'interface $\text{AlAs}/\text{In}_x\text{Ga}_{1-x}\text{As}$ afin d'accommoder leurs différents paramètres de mailles. Les dislocations sont des centres de recombinaison non radiative [11], les paires électron/trou générées aux alentours de cette dislocation se recombineraient donc sans créer de photons, et entraînerait donc une baisse de l'intensité de cathodoluminescence dans la zone 2.

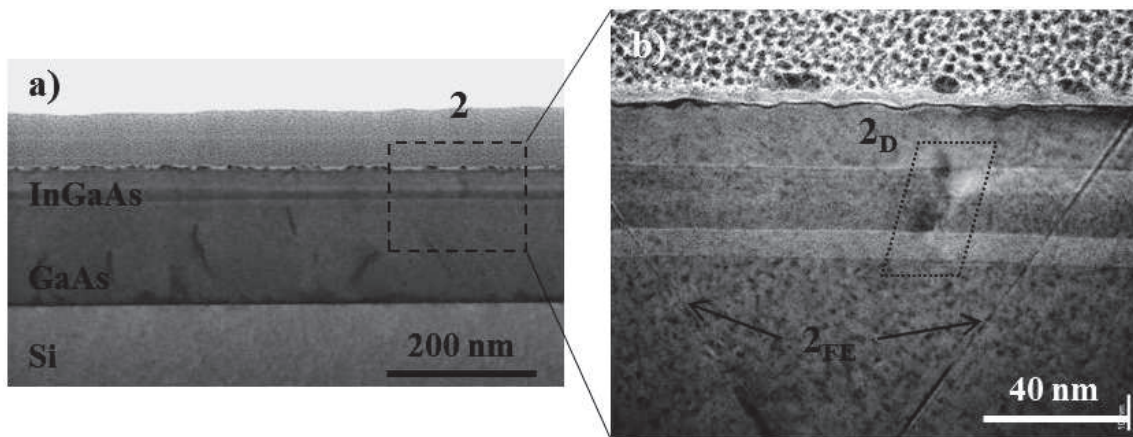


Figure 4.20 : Agrandissement STEM (30 keV) en coupe de la zone 2 (figure 4.18.b) (a) et image TEM (200 keV) de la zone défectueuse (b). Les défauts notés 2_{FE} et 2_D correspondent respectivement à des fautes d'empilement et à une dislocation.

- Zone 3 : Les observations TEM (figure 4.21) montrent deux fautes d'empilement ou micromacles qui traversent le puits d' $\text{In}_x\text{Ga}_{1-x}\text{As}$, générées à l'interface $\text{AlAs}/\text{In}_x\text{Ga}_{1-x}\text{As}$ inférieure. Ce type de défaut cristallin n'a pas d'effet clair sur les propriétés de cathodoluminescence. Néanmoins, on observe une correspondance claire entre leur présence au sein du puits quantique et la baisse de l'intensité de CL. On peut donc penser, puisqu'il s'agit tout de même d'une source de désordre

du cristal, que les micromacles détériorent la luminescence de nos puits quantiques d' $\text{In}_x\text{Ga}_{1-x}\text{As}$.

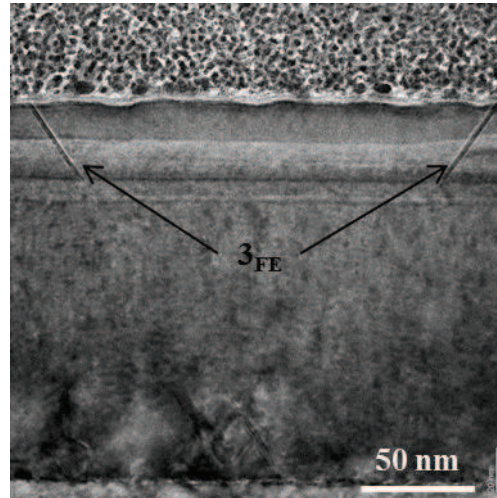


Figure 4.21 : Image TEM (200 keV) de la zone 3 (figure 4.18.b), les défauts notés 3_{FE} sont des fautes d'empilements de types micromacles.

Cette partie était dédiée à la croissance épitaxiale de puits quantiques d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ dans des tranchées de SiO_2 sur des couches tampons de GaAs. Nous avons en premier lieu montré qu'il était possible d'obtenir un matériau $\text{In}_x\text{Ga}_{1-x}\text{As}$ (x étant compris entre 0,1 et 0,4) photoluminescent à température ambiante (donc de bonne qualité cristalline) via une couche tampon de GaAs ultra fine (150 nm environ), grâce au filtrage des défauts par la croissance en cavité (ART). Néanmoins, la luminescence est fortement hétérogène le long des tranchées. Cela est dû à l'émergence de défauts (dislocations, fautes d'empilement) dans les puits quantiques. Nos motifs n'étant limités géométriquement que dans une seule direction du plan de croissance, ils ne permettent pas d'éviter à certains de ces défauts de couper la couche d' $\text{In}_x\text{Ga}_{1-x}\text{As}$. Afin de réduire cet effet, on pourrait envisager d'utiliser non plus des lignes mais de courts segments voire des carrés comme motifs de croissances localisées. Ces résultats sont donc encourageants pour une utilisation éventuelle de ce type de matériau dans les futurs dispositifs microélectroniques. Mais pour cela, il paraît important de se pencher également sur la croissance de couches d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ plus épaisses et plus riches en indium dans ces cavités.

4.4 Epitaxie sélective d' $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$

L'intérêt de l'augmentation du taux d'indium dans le matériau $\text{In}_x\text{Ga}_{1-x}\text{As}$ est qu'elle permet une augmentation de sa mobilité électronique ainsi que la baisse de son énergie de bande interdite, deux caractéristiques recherchées dans les candidats potentiels au remplacement du silicium dans le canal des futurs transistors nMOS. Le problème étant que l'épaisseur critique qu'il est possible d'épitaxier avant la relaxation du matériau, et donc l'apparition de dislocations, diminue exponentiellement avec l'augmentation de

ce taux d'indium. L'obtention de couches minces non relaxées, à la manière de celles réalisées dans la partie précédente (cf. 4.3), devient donc très difficile. On choisit donc plutôt d'épitaxier sélectivement des couches plus épaisses d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ sur une fine couche tampon de GaAs, afin d'éloigner l'interface entre ces deux matériaux, interface où sont générées les dislocations, de la surface des tranchées, future zone active du composant. Ces défauts pourront donc être bloqués grâce à l'effet ART de l'épitaxie localisée (figure 4.22.a). Afin d'isoler électriquement le haut du bas de la tranchée, et ainsi éviter les courants de fuites par le substrat, on pourra éventuellement insérer une couche à grande énergie de bande interdite et partageant le même paramètre de maille que l' $\text{In}_x\text{Ga}_{1-x}\text{As}$, comme l' $\text{In}_y\text{Al}_{1-y}\text{As}$ (figure 4.22.b).

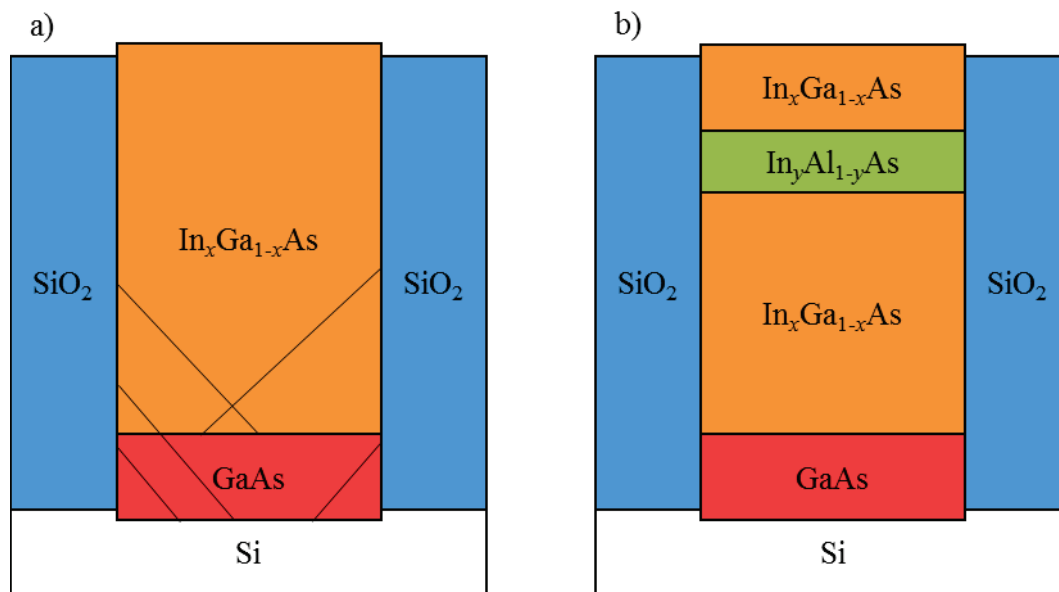


Figure 4.22 : Représentation schématisée des empilements choisis pour la croissance sélective de couche d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ riches en indium ($x \approx 0,53$) (a) sans et (b) avec insertion d'une couche isolante $\text{In}_y\text{Al}_{1-y}\text{As}$ ($y \approx x$). Les lignes noires (a) représentent des dislocations et illustrent l'effet de l'ART.

Nos premiers essais de croissances localisées d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($x \approx 0,53$) sont présentés en figure 4.23. On observe sur les images STEM que le dépôt localisé d' $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}/\text{GaAs}$ est uniforme et présente peu de défauts émergents à sa surface. En revanche, cette surface est facettée suivant des plans $\{111\}$ et de forme triangulaire. Or, en vue des applications ciblées, on recherchera plutôt une surface plane de type (001).

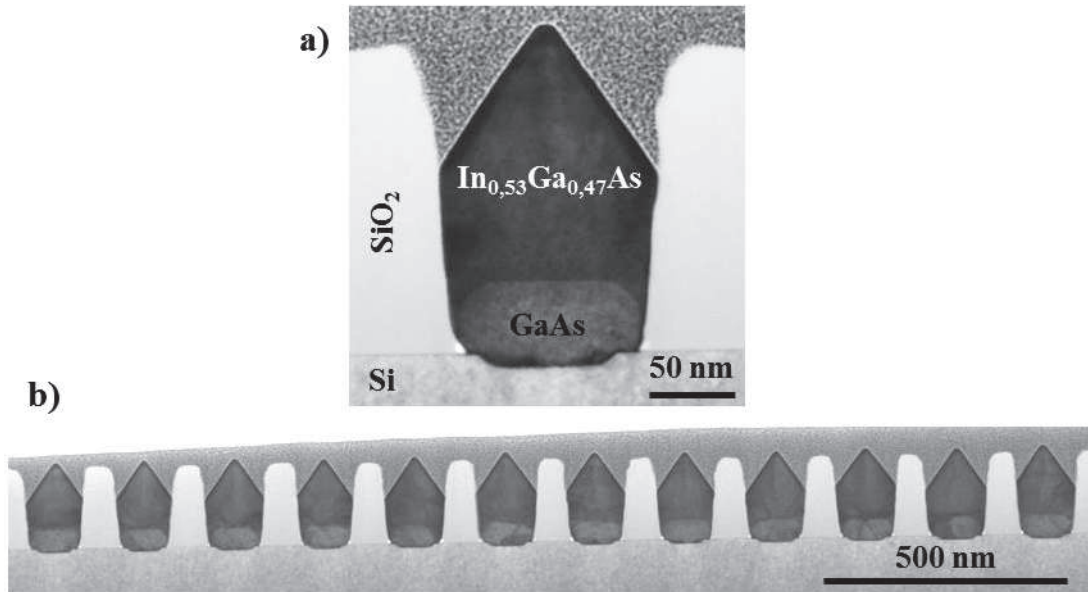


Figure 4.23 : Vues en coupe STEM des premiers essais de croissances d' $\text{In}_x\text{Ga}_{1-x}\text{As}/\text{GaAs}$ ($x \approx 0,53$).

Par analogie avec l'optimisation de la croissance sélective de GaAs présentée précédemment (figure 4.5), nous avons ensuite abaissé la température de croissance afin de réduire le facettage de la surface d' $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$ (figure 4.24).

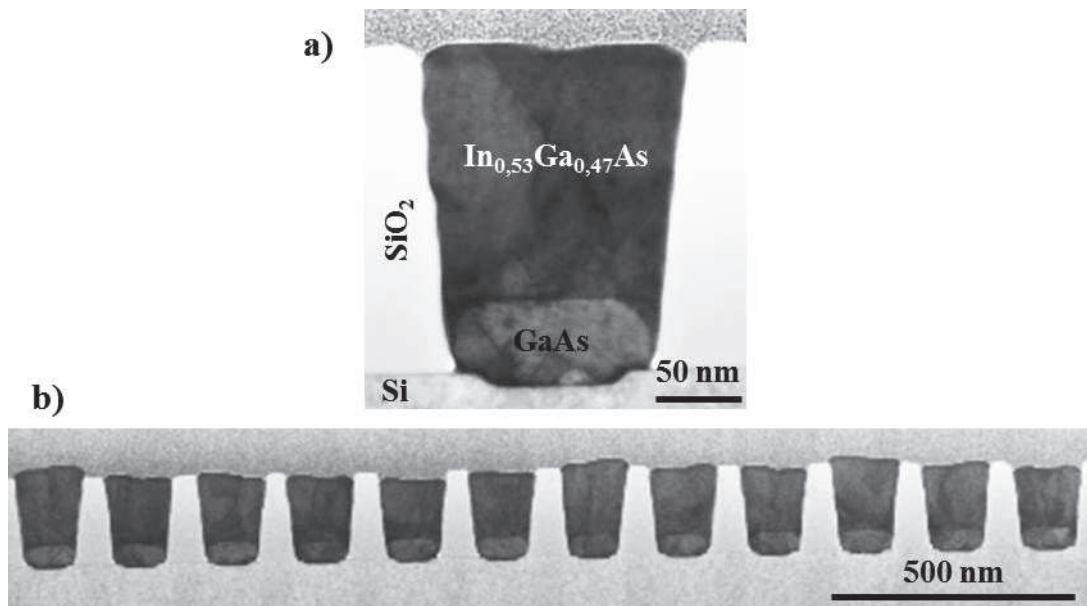


Figure 4.24 : Vues en coupe STEM de croissances d' $\text{In}_x\text{Ga}_{1-x}\text{As}/\text{GaAs}$ ($x \approx 0,53$) effectuées à plus basse température.

Les images STEM exposées en figure 4.24 montrent cette fois-ci une surface d' $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$ relativement plane. En revanche, l'épaisseur est moins uniforme d'une cavité à une autre en comparaison de la croissance à plus haute température. De plus, il apparaît quasi systématiquement des défauts émergents à la surface de la couche d' $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$.

Ces deux séries d'expériences montrent des résultats préliminaires encourageants. En effet, il est possible d'obtenir une surface d' $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$ plane, ce qui permet d'éviter des étapes supplémentaires de polissage mécano-chimique et de régénération de surface post-croissance. Toutefois, une optimisation plus poussée des paramètres de croissance, comme un compromis sur la température du dépôt d' $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$, reste à faire afin d'améliorer l'homogénéité de l'épaisseur et réduire la densité de défauts émergents. La couche d'isolation d' $\text{In}_y\text{Al}_{1-y}\text{As}$ reste également à développer. Des caractérisations avancées sont à envisager, comme un titrage précis par SIMS et/ou nano-Auger du taux d'indium, ainsi que l'évaluation de la qualité cristalline du matériau $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$ proche de la surface des cavités, par des mesures de luminescence par exemple.

4.5 Conclusion

Au cours de ce chapitre, nous avons étudié l'épitaxie sélective de GaAs et d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ sur des substrats de silicium présentant des motifs de SiO_2 hauts de 180 nm. Ces tranchées ont été réalisées par une succession d'étapes d'oxydation thermique du substrat, de lithographie électronique et de gravure plasma. Les dépôts localisés entraînent le piégeage des défauts cristallins générés à l'interface substrat/couche épitaxiale au fond des cavités et permettent l'obtention d'un cristal de meilleure qualité au sommet des motifs. On appelle cet effet l'ART (pour *Aspect Ratio Trapping* en anglais).

L'épitaxie localisée de GaAs a d'abord été étudiée. La sélectivité du dépôt a été améliorée par l'augmentation de la mobilité des adatoms à la surface du substrat (par diminution de la pression). Le facettage de la surface a également été réduit grâce à un abaissement de la température de croissance. Le rapport d'aspect de la tranchée dans laquelle est effectué le dépôt s'est révélé avoir un effet déterminant sur la densité de parois d'antiphase présentes en surface du GaAs. Un rapport d'aspect élevé entraîne une diminution de cette densité, jusqu'à leur disparition complète de la surface. Dans notre cas, nous n'observons plus de parois d'antiphase pour des rapports d'aspect supérieurs à 1,3. Une hypothèse d'un mécanisme mettant en jeu des interactions entre les fautes d'empilement et les parois d'antiphase a été mise en avant afin d'expliquer ce phénomène.

L'ajout d'un puits quantique d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ (x étant compris entre 0,1 et 0,4) proche du sommet des tranchées nous a permis de jauger la qualité du cristal dans cette région précise, grâce à des mesures de luminescence. L'obtention d'un signal de micro-photoluminescence à température ambiante, pour toute la gamme de concentrations d'indium réalisée, nous a appris à lui seul que le matériau était de bonne qualité cristalline. Toutefois, les cartographies obtenues par cathodoluminescence à basse température (5-10 K) ont révélé une forte inhomogénéité de la luminescence, et donc de fortes variations de la qualité du puits quantique, le long des lignes. Des observations croisées de cathodoluminescence à basse température et de microscopie électronique en transmission ont montré que les extinctions de luminescence étaient dues soit à des défauts cristallins non bloqués par l'ART et traversant le puits quantique (fautes

d'empilement, dislocations), soit à une perturbation de l'empilement, également due à des défauts, qui détruisent la structure quantique. Les motifs présents sur nos substrats ne bloquent les défauts que dans une seule des deux directions du plan de croissance. Un moyen permettant d'améliorer l'homogénéité de la qualité du cristal en surface serait donc d'employer des motifs limités dans les deux directions du plan, comme de courts segments ou encore des trous à symétrie centrale (carrés ou circulaires).

Enfin, des essais préliminaires de croissances localisées de couches d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ plus riches en indium ($x \approx 0,53$) ont été réalisés. Les premiers résultats sont encourageants puisqu'il a été possible d'obtenir une surface d' $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$ plane. Une optimisation plus poussée ainsi que des caractérisations plus avancées de ces croissances sont néanmoins encore nécessaires.

Bibliographie

- [1] R. Loo, G. Wang, T. Orzali, N. Waldron, C. Merckling, M. R. Leys, O. Richard, H. Bender, P. Eyben, W. Vandervorst, and M. Caymax, "Selective Area Growth of InP on On-Axis Si(001) Substrates with Low Antiphase Boundary Formation," *J. Electrochem. Soc.*, vol. 159, no. 3, pp. H260–H265, Jan. 2012.
- [2] C. Merckling, N. Waldron, S. Jiang, W. Guo, N. Collaert, M. Caymax, E. Vancoille, K. Barla, A. Thean, M. Heyns, and W. Vandervorst, "Heteroepitaxy of InP on Si(001) by selective-area metal organic vapor-phase epitaxy in sub-50 nm width trenches: The role of the nucleation layer and the recess engineering," *J. Appl. Phys.*, vol. 115, no. 2, p. 023710, Jan. 2014.
- [3] J. Z. Li, J. Bai, J.-S. Park, B. Adekore, K. Fox, M. Carroll, A. Lochtefeld, and Z. Shellenbarger, "Defect reduction of GaAs epitaxy on Si (001) using selective aspect ratio trapping," *Appl. Phys. Lett.*, vol. 91, no. 2, p. 021114, 2007.
- [4] N.-H. Cho, S. McKERNAN, D. K. Wagner, and C. B. Carter, "GRAIN BOUNDARIES AND ANTIPHASE BOUNDARIES IN GaAs," *J. Phys. Colloq.*, vol. 49, no. C5, pp. C5–245–C5–250, Oct. 1988.
- [5] V. Gorbenko, "Caractérisation par faisceaux d'ions d'hétérostructures III-V pour les applications micro et optoélectroniques," Université Grenoble-Alpes, Grenoble, 2015.
- [6] C. Frigeri, A. Di Paola, N. Gambacorti, D. M. Ritchie, F. Longo, and M. Della Giovanna, "Transmission electron microscopy and X-ray diffraction investigation of In segregation in MOVPE-grown InGaAs-based MQWs with either GaAs or AlGaAs barriers," *Mater. Sci. Eng. B*, vol. 28, no. 1–3, pp. 346–352, Dec. 1994.
- [7] A. A. Marmalyuk, O. I. Govorkov, A. V. Petrovsky, D. B. Nikitin, A. A. Padalitsa, P. V. Bulaev, I. V. Budkin, and I. D. Zalevsky, "Investigation of indium segregation in InGaAs/(Al)GaAs quantum wells grown by MOCVD," *J. Cryst. Growth*, vol. 237–239, pp. 264–268, Apr. 2002.
- [8] A. Jasik, A. Wnuk, A. Wójcik-Jedlińska, R. Jakiela, J. Muszalski, W. Strupiński, and M. Bugajski, "The influence of the growth temperature and interruption time on the crystal quality of InGaAs/GaAs QW structures grown by MBE and MOCVD methods," *J. Cryst. Growth*, vol. 310, no. 11, pp. 2785–2792, May 2008.

- [9] M. P. Vigouroux, V. Delaye, N. Bernier, R. Cipro, D. Lafond, G. Audoit, T. Baron, J. L. Rouvière, M. Martin, B. Chenevier, and F. Bertin, “Strain mapping at the nanoscale using precession electron diffraction in transmission electron microscope with off axis camera,” *Appl. Phys. Lett.*, vol. 105, no. 19, p. 191906, Nov. 2014.
- [10] A. Trellakis, T. Zibold, T. Andlauer, S. Birner, R. K. Smith, R. Morschl, and P. Vogl, “The 3D nanometer device project nextnano: Concepts, methods, results,” *J. Comput. Electron.*, vol. 5, no. 4, pp. 285–289, May 2007.
- [11] J. Yang, P. Bhattacharya, and Z. Mi, “High-Performance In_{0.5}Ga_{0.5} As/GaAs Quantum-Dot Lasers on Silicon With Multiple-Layer Quantum-Dot Dislocation Filters,” *IEEE Trans. Electron Devices*, vol. 54, no. 11, pp. 2849–2855, Nov. 2007.

Conclusions et perspectives

Ces travaux de thèse portaient sur l'étude de l'hétéroépitaxie des semi-conducteurs III-As GaAs et InGaAs sur des substrats de silicium de 300 mm de diamètre par épitaxie en phase vapeur aux organométalliques. Cette thèse s'inscrivait dans le contexte d'un besoin de développement de nouveaux matériaux intégrés sur silicium, dans le but d'améliorer les performances des transistors MOS. En guise de conclusion, voici un résumé des observations et résultats marquants obtenus durant ces trois années de doctorat, suivi des perspectives auxquelles conduisent ces travaux.

Dans un premier temps, nous nous sommes intéressés à l'étude de la croissance directe de GaAs sur substrat de silicium (001) nominaux dans le but de réduire la densité de parois d'antiphase présente en surface du GaAs, défaut cristallin non désiré et inhérent à ce type d'hétéroépitaxie. Le dépôt de couches de GaAs de différentes épaisseurs sur silicium nous a appris que la densité de parois d'antiphase est inversement proportionnelle à l'épaisseur de matériau déposée mais semble néanmoins tendre vers une valeur limite trop élevée pour les applications visées ($1,2 \mu\text{m}^{-1}$ dans le cas de notre système). Nous nous sommes ensuite intéressés aux effets d'un recuit à haute température et sous dihydrogène du silicium avant l'épitaxie et nous avons observé différentes reconstructions de surface d'un substrat à un autre, pour les mêmes conditions de recuit. En effet, suivant la désorientation résiduelle des substrats nominaux commerciaux, la surface du silicium présente des marches soit monoatomiques soit biatomiques. La présence de marches biatomiques est une condition suffisante à la réalisation d'une hétéroépitaxie de GaAs sur silicium ne montrant qu'un unique domaine, c'est-à-dire sans parois d'antiphase. De telles croissances ont été obtenues pour des substrats dont la valeur d'angle de désorientation résiduelle est supérieure ou égale à $0,1^\circ$, dans la direction $\langle 110 \rangle$ exactement. Il a alors été possible d'épitaxier des couches de GaAs avec une épaisseur minimale de 140 nm seulement, exemptes de parois d'antiphase en surface et d'une rugosité RMS ($5 \times 5 \mu\text{m}^2$) de 0,66 nm.

Par la suite, nous avons étudié la croissance du matériau InGaAs sur nos couches de GaAs/Si. C'est un matériau qui intéresse l'industrie de la microélectronique de par sa forte mobilité électronique. Nous avons d'abord calibré la teneur en indium de la couche en fonction de la température et de la composition de la phase vapeur dans la chambre de dépôt. Il est apparu que la composition de la phase solide (couche d'InGaAs en croissance) était plus faible en indium que la composition de la phase vapeur. Pour l'expliquer, l'hypothèse de la mise en oeuvre d'un phénomène appelé « lattice latching » a été avancée. Il consiste à dire qu'afin de limiter le désaccord de paramètre de maille

entre le matériau InGaAs en croissance et la couche tampon de GaAs, les atomes d'indium en surface subissent une désorption importante. Ensuite, nous avons réalisé des hétérostructures à puits quantiques d' $\text{In}_{0,1}\text{Ga}_{0,9}\text{As}/\text{AlAs}$ dans une matrice de GaAs épitaxiée sur silicium. L'étude des propriétés de photoluminescence (PL) et de cathodoluminescence (CL) de ces puits quantiques, situés à 500 nm de l'interface GaAs/Si et proche de la surface de GaAs, nous a permis de rendre compte de la qualité cristalline de ces matériaux. Le fait marquant étant que ces couches émettaient un signal de PL à température ambiante, et ce sur une couche tampon de GaAs relativement fine, ce qui traduit la très bonne qualité globale des couches épitaxiées. La comparaison des signaux de puits quantiques avec et sans parois d'antiphase ont montré une plus forte intensité dans le cas de l'absence de parois, ce qui laisse entrevoir le comportement de centre de recombinaison non radiatif de ces défauts. Ce caractère fut confirmé par les cartographies locales de cathodoluminescence à basse température. Cependant, mêmes sur les échantillons dépourvus de parois d'antiphase, de fortes inhomogénéités de luminescence persistent, ce qui traduit une forte densité de dislocations émergentes.

Enfin, nous nous sommes penchés sur l'étude de l'épitaxie sélective de GaAs et d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ sur des substrats de silicium présentant des lignes de SiO_2 hautes de 180 nm. Ces dépôts localisés avaient pour but de réduire la densité de défauts émergents à la surface du GaAs, par la stratégie de l'*Aspect Ratio Trapping* (ART). L'optimisation des paramètres de croissance a d'abord permis d'améliorer la sélectivité du dépôt et de réduire le facettage de la surface des lignes de GaAs. L'utilisation de plusieurs rapports d'aspect hauteur/largeur de motifs de SiO_2 a révélé une diminution de la densité de parois d'antiphase avec l'augmentation de ce rapport d'aspect, jusqu'à leur disparition pour des valeurs supérieures à 1,3 dans notre cas. Afin de l'expliquer, l'hypothèse d'une interaction entre les fautes d'empilement et les parois d'antiphase, qui piègeraient ces dernières en fond de cavité, a été avancée. Ensuite, à l'instar des croissances sur substrats non structurés, nous avons localement épitaxié des hétérostructures à puits quantiques $\text{In}_x\text{Ga}_{1-x}\text{As}/\text{AlAs}$ ($0,1 < x < 0,4$) sur les lignes de GaAs de 150 nm d'épaisseur. À nouveau, les puits quantiques émettaient un bon signal de photoluminescence, ce qui montre l'amélioration de la qualité cristalline des matériaux grâce à l'ART. En revanche, les cartographies micrométriques de cathodoluminescence à basse température ont montré des inhomogénéités de luminescence le long des lignes de matériaux III-As. Des observations croisées de CL et de microscopie électronique en transmission ont révélé que les extinctions de luminescence étaient dues soit à des défauts cristallins non bloqués par l'ART et traversant le puits quantique (fautes d'empilement, dislocations), soit à une perturbation de l'empilement, également due à des défauts, qui détruisent la structure quantique. Enfin, des essais de croissances localisées de couches d' $\text{In}_x\text{Ga}_{1-x}\text{As}$ plus riches en indium ($x \approx 0,53$) ont été réalisés. Les premiers résultats furent encourageants puisqu'il a été possible d'obtenir une surface d' $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$ plane et exempte de parois d'antiphase.

Afin de clôturer ce manuscrit, voici quelques perspectives qui semblent intéressantes afin d'aller plus loin dans l'étude de l'hétéroépitaxie de matériaux III-V sur substrat de silicium.

Tout d'abord, on peut envisager la croissance d'autres matériaux sur les couches de GaAs ne présentant plus de parois d'antiphase, comme l'InP, l'InAlAs ou l'InGaAs. La réduction de la densité de dislocations émergentes est également à considérer plus en profondeur maintenant que nous avons pu éliminer la présence de parois d'antiphase. L'ajout de couches de filtration de défauts ou encore l'épitaxie latérale après la croissance localisée peuvent s'avérer efficaces dans ce domaine. Le dopage de type P (Zn) et N (Si ou Ge) du GaAs n'a pas été abordé ici mais fait partie des sujets de recherche pour l'intégration de ces matériaux dans les futurs dispositifs.

Ensuite, dans le cas des puits quantiques d'InGaAs, leur intégration à différentes profondeurs du GaAs permettrait de sonder la qualité de la couche en fonction de la distance avec l'interface GaAs/Si. On peut même envisager de réaliser, au sein d'une seule couche de GaAs, plusieurs puits quantiques de longueurs d'onde d'émission différentes (variation du taux d'indium ou de l'épaisseur), à des profondeurs différentes, afin de visualiser, par cartographie de CL par exemple, le rebouclage des parois d'antiphase ou les mécanismes d'annihilation des dislocations émergentes.

Enfin, la réalisation de cavités de SiO₂ limitée dans les deux directions du plan de croissance permettrait de réduire d'avantage la densité de défauts émergents lors des croissances localisées. Les analyses croisées CL et TEM sont novatrices et constituent une importante source d'informations. Elles méritent donc d'être approfondies par l'ajout d'une identification plus poussée des différents défauts cristallins ou des analyses de contraintes locales par exemple.

D'une manière plus globale, ces travaux ont permis de faire un pas de plus en direction de l'intégration de matériaux III-As dans les transistors MOS. Néanmoins, beaucoup de développements restent à faire et l'industrie microélectronique semble avoir choisi d'autres solutions pour les deux prochains nœuds technologiques, 10 nm (201X) et 7 nm (202X). Ces matériaux III-V peuvent cependant trouver leur place dans des dispositifs optroniques intégrés sur silicium, pour remplacer, par exemple, les interconnexions métalliques entre les différents composants par des interconnexions optiques, au sein desquels la vitesse de transfert est plus rapide.

Publications :

Low defect InGaAs quantum well selectively grown by metal organic chemical vapor deposition on Si(100) 300mm wafers for next generation non planar devices

R. Cipro, T. Baron, M. Martin, J. Moeyaert, S. David, V. Gorbenko, F. Bassani, Y. Bogumilowicz, J. P. Barnes, N. Rochat, V. Loup, C. Vizioz, N. Allouti, N. Chauvin, X. Y. Bao, Z. Ye, J. B. Pin, and E. Sanchez
Applied Physics Letters **104**, 262103 (2014)

Epitaxial growth of antiphase boundary free GaAs layer on 300 mm Si(001) substrate by metalorganic chemical vapour deposition with high mobility

R. Alcotte, M. Martin, J. Moeyaert, R. Cipro, S. David, F. Bassani, F. Ducroquet, Y. Bogumilowicz, E. Sanchez, Z. Ye, X. Y. Bao, J. B. Pin and T. Baron
APL Mater. **4**, 046101 (2016)

Anti-phase boundaries-free GaAs epilayers on “quasi-nominal” Ge-buffered silicon substrates

Y. Bogumilowicz, J. M. Hartmann, R. Cipro, R. Alcotte, M. Martin, F. Bassani, J. Moeyaert, T. Baron, J. B. Pin, X. Bao, Z. Ye and E. Sanchez
Applied Physics Letter **107**, 212105 (2015)

Chemical depth profiling and 3D reconstruction of III-V heterostructures selectively grown on non-planar Si substrates by MOCVD

V. Gorbenko, M. Veillerot, A. Grenier, G. Audoit, W. Hourani, E. Martinez, R. Cipro, M. Martin, S. David, X. Bao, F. Bassani, T. Baron, J.-P. Barnes
Phys. Status solidi RRL **9**, pp. 202-205, (2015)

Chemical characterization of III-V heterostructures in 3D architecture

V. Gorbenko, A. Grenier, G. Audoit, R. Cipro, M. Martin, S. David, X. Bao, F. Bassani, T. Baron, J.-P. Barnes
Microelectronics Journal, **147**, pp. 219-222, (2015)

Strain mapping at the nanoscale using precession electron diffraction in transmission electron microscope with off axis camera

M. P. Vigouroux, V. Delaye, N. Bernier, R. Cipro, D. Lafond, G. Audoit, T. Baron, J. L. Rouvière, M. Martin, B. Chenevier and F. Bertin
Applied Physics Letter **105**, 191906 (2014)

Conférences internationales :

Physical properties investigation of Arsenic based III-V materials grown on nanopatterned Si(100) substrates

R. Cipro, M. Martin, J. Moeyaert, F. Bassani, V. Gorbenko, S. David, E. Latu-Romain, JP. Barnes, Y. Bogumilowicz, N. Rochas, V. Loup, C. Vizioz, K. Yckache, N. Chauvin, X.Y. Bao, Z. Ye, D. Carlson, JB Pin, E. Sanchez, T. Baron
MRS Spring Conference 2015 (San Francisco)

MOCVD grown Arsenic based III-V materials on blanket and nanopatterned Si(100) substrates showing room temperature photoluminescence

R. Cipro, T. Baron, M. Martin, J. Moeyaert, S. David, V. Gorbenko, F. Bassani, Y. Bogumilowicz, JP Barnes, N. Rochat, P. Gergaud, V. Loup, C. Vizioz, N. Chauvin, X.Y. Bao, Z. Ye, J.B. Pin, E. Sanchez
[Poster] E-MRS Spring Conference 2014 (Lille)

Conférences nationales :

Low defect InGaAs quantum well selectively grown by MOCVD on Si(100) 300 mm wafers

R. Cipro, M. Martin, J. Moeyaert, F. Bassani, S. Arnaud, S. David, V. Gorbenko, JP. Barnes, A. Grenier, Y. Bogumilowicz, N. Rochas, V. Loup, C. Vizioz, K. Yckache, N. Chauvin, X.Y. Bao, Z. Ye, D. Carlson, JB Pin, E. Sanchez, T. Baron
GDR Pulse 2014 (Toulouse)

Elaboration et caractérisation de couches minces de semi-conducteurs III-V sur plateforme silicium

R. Cipro, M. Martin, V. Gorbenko, S. David, S. Arnaud, F. Bassani, JP Barnes, P. Gergaud, V. Loup, K. Yckache, JM. Hartmann, Y. Bogumilowicz, AM. Papon, X. Bao, D. Carlson, E. Sanchez, T. Baron
GDR Pulse 2013 (Aix-en-Provence)

Titre : Epitaxie en phase vapeur aux organométalliques et caractérisation de semi-conducteurs III-As sur substrat silicium dans une plateforme microélectronique.

Résumé : Les dispositifs microélectroniques réalisés en technologie silicium possèdent des limitations intrinsèques liées à ce matériau et ses dérivés (Si, SiO₂, SiGe...). Une des solutions pour proposer à l'avenir des performances accrues passe par l'introduction de nouveaux matériaux en technologie silicium. De bons candidats pour le remplacement du silicium en tant que canal de conduction sont les semi-conducteurs III-V à base d'arséniures (III-As) pour bénéficier de leurs propriétés de transport électronique exceptionnelles. Cependant, en préliminaire à la réalisation de tels dispositifs, il faut obtenir des couches de III-As de bonne qualité cristalline sur des substrats de silicium. Ces deux matériaux montrent en effet des différences de propriétés que l'on s'est proposé de surmonter au cours de ces travaux de thèse par des stratégies de croissance cristalline. Ces travaux de thèse étudient en détail les croissances de couches de matériaux GaAs et InGaAs, sur des substrats de silicium de 300 mm de diamètre et par épitaxie en phase vapeur aux organométalliques. Dans un premier temps, des efforts ont été menés, avec succès, afin d'éliminer un des défauts cristallins les plus rédhibitoires pour l'utilisation de ces matériaux, à savoir les parois d'antiphase. Puis, la réalisation d'hétérostructures quantiques III-As ont permis, via des analyses d'émissions optiques (photo- et cathodoluminescence), de rendre compte de la qualité globale ainsi que locale des couches ainsi épitaxiées. Enfin, des croissances localisées dans des motifs décanométriques préalablement réalisés sur les substrats de silicium ont été conduites dans le but de comprendre les mécanismes de réduction des défauts pour ces géométries.

Mots clefs : Hétéroépitaxie, Semi-conducteurs III-V, Arséniures, Parois d'antiphase, Puits quantiques. MOCVD, MOVPE

Title: Metalorganic vapour phase epitaxy and characterization of III-As semiconductors on silicon substrate in a microelectronic platform.

Abstract: The microelectronic devices designed in the silicon technology field are intrinsically limited due to the nature of this material and its derivatives (Si, SiO₂, SiGe...). One of the solutions to further enhance performances lies in the introduction of new materials within silicon technology. Good candidates for silicon replacement as a conduction channel are the arsenide-based III-V semiconductors (III-As), in order to benefit from their outstanding electronic transport properties. However, as a first proof of the suitability of such devices, III-As films with good crystalline quality have to be obtained on silicon substrates. Indeed, those two materials display properties differences that this work intends to overcome by following crystalline growth strategies. This PhD work thoroughly studies the growth of GaAs and InGaAs films on 300 mm-diameter silicon substrates by metalorganic vapour phase epitaxy. In the first instance, efforts were put on the elimination of one of the crystalline defects being the most prohibitive for the use of such materials: antiphase boundaries. Then, the achievement of III-As quantum heterostructures is used, thanks to optical emission analysis (photo- and cathodoluminescence), to reflect the global and local quality of the resultant epitaxial films. Finally, localised growth, in decanometric designs, preliminary performed on silicon substrates, were carried out, with the aim of understanding the defects reduction mechanisms for those geometries.

Keywords: Heteroepitaxy, III-V semiconductors, Arsenides, Antiphase boundaries, Quantum wells, MOCVD, MOVPE.